

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-012819

(43)Date of publication of application : 14.01.2000

(51)Int.Cl. H01L 27/146

H01L 27/148

H01L 27/14

H04N 5/335

H04N 9/07

(21)Application number : 10-169874 (71)Applicant : NIKON CORP

(22)Date of filing : 17.06.1998 (72)Inventor : ISOGAI TADAO

JIYUEN MASAHIRO

(54) SOLID-STATE IMAGE PICKUP ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce dispersion in signals of pixels or a photoelectric converting section so as to improve the S/N ratio, by outputting signals of specific pixels, which are disposed in a checkered manner, from one of output terminals, and outputting signals of the other pixels from the other output terminal.

SOLUTION: Vertical signal lines 22a through 22d are respectively connected to pixels on odd-numbered rows of one of two adjacent pixel columns and to pixels on even-numbered rows on the other pixel column. And the vertical signal lines 22a through 22d have two horizontal signal lines. Namely, the vertical signal line 22a is connected to a pixel Px1-1 on the left on the first row, a pixel Px2-2 on the right on the second row, and a pixel Px3-1 on the left on the third row. And then, the vertical signal lines 22a and 22c are connected to a horizontal signal line 2Va

via column selecting transistors TH1 and TH3. The vertical signal lines 22b and 22d are connected to a horizontal signal line 27b via column selecting transistors TH2 and TH4.

*** NOTICES ***

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]Two or more pixels arranged at two-dimensional matrix form.

Two or more output terminals which output a signal of said pixel.

It is the solid state image pickup device provided with the above, a signal of a specified pixel arranged in checkers among said pixels is outputted from one

output terminal, and a signal of other pixels is outputted from other output terminals.

[Claim 2]Two or more pixels arranged at two-dimensional matrix form.

Two or more vertical signal wires to which said pixel was connected.

Two horizontal signal lines to which said vertical signal wire was connected via a switch.

Are the above the solid state image pickup device which it had, and to each of said vertical signal wire. A pixel of the oddth line of one pixel row and a pixel of the eventh line of a pixel row of another side are connected among adjacent pixel rows of two rows, said odd-numbered vertical signal wire is connected to said one horizontal signal line, and said even-numbered vertical signal wire is connected to said horizontal signal line of another side.

[Claim 3]The solid state image pickup device comprising according to claim 1 or 2:

A photoelectric conversion part which generates an electric charge [pixel / said] according to incident light.

An outputting part which outputs a signal according to said electric charge to a vertical signal wire.

[Claim 4]The solid state image pickup device according to claim 3, wherein said pixel has further a transfer part which transmits said electric charge to said outputting part from said photoelectric conversion part, and a control section which controls said outputting part.

[Claim 5]The solid state image pickup device according to any one of claims 1 to 4 characterized by shape of said shielding region being the same by pixel which a shielding region was formed in said a part of pixel, and has been arranged at the oddth line, and a pixel arranged at the eventh line.

[Claim 6]The solid state image pickup device according to any one of claims 1 to 5, wherein a colored filter of two or more kinds is arranged corresponding to said pixel and said at least one kind of colored filter is arranged in checkers.

[Claim 7]The solid state image pickup device according to any one of claims 1 to 5, wherein a green colored filter is arranged in checkers corresponding to said pixel and red and a blue colored filter are arranged line sequential corresponding to said other pixels.

[Claim 8]Two or more photoelectric conversion parts arranged at two-dimensional matrix form.

Two or more output terminals which output a signal of said photoelectric conversion part.

It is the solid state image pickup device provided with the above, a signal of a specific photoelectric conversion part arranged in checkers among said photoelectric conversion parts is outputted from one output terminal, and a signal of other photoelectric conversion parts is outputted from other output terminals.

[Claim 9]Two or more photoelectric conversion parts arranged at two-dimensional matrix form.

Two or more vertical transfer registers which receive a signal charge from said photoelectric conversion part, and are transmitted to a column direction.

Two horizontal transfer registers which receive said signal charge from said vertical transfer register, and are transmitted to a line writing direction.

Are the above the solid state image pickup device which it had, and each of said vertical transfer register, Among adjacent photoelectric conversion parts of two rows, a photoelectric conversion part of the oddth line of one sequence, And a photoelectric conversion part of the eventh line of a sequence of another side to a signal charge is received, said one horizontal transfer register receives a signal charge from said odd-numbered vertical transfer register, and said horizontal transfer register of another side receives a signal charge from said even-numbered vertical transfer register.

[Claim 10]A solid state image pickup device given in either claim 8 characterized by shape of said shielding region being the same by photoelectric conversion part which a shielding region was formed in said a part of photoelectric conversion part, and has been arranged at the oddth line, and a photoelectric conversion part arranged at the eventh line, or claim 9.

[Claim 11]The solid state image pickup device according to any one of claims 8 to 10, wherein a colored filter of two or more kinds is arranged corresponding to said photoelectric conversion part and said at least one kind of colored filter is arranged in checkers.

[Claim 12]The solid state image pickup device according to any one of claims 8 to 10, wherein a green colored filter is arranged in checkers corresponding to said photoelectric conversion part and red and a blue colored filter are arranged line sequential corresponding to said other photoelectric conversion parts.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to a solid state image pickup device.

It is related with the solid state image pickup device of parallel output composition in more detail.

The solid state image pickup device of this invention is suitable to carry out a color image pick-up using the colored filter arranged in checkers.

[0002]

[Description of the Prior Art] Various methods, such as a X-Y address type and a CCD type, were proposed until now, and the solid state image pickup device has resulted in utilization. First, the conventional X-Y address type solid state image pickup device is explained with reference to drawings. Drawing 23 is a circuit diagram showing the main composition of the conventional X-Y address type solid state image pickup device. Two or more pixel Px1-1 by which the conventional X-Y address type solid state image pickup device has been arranged at two-dimensional matrix form - Px3-4, The vertical signal wires 22a-22d to which the above-mentioned pixel was connected, and the horizontal signal lines 27a and 27b to which the above-mentioned vertical signal wire was connected via the sequence buffer amplifier 29a-29d, the clamp capacity Cc1-Cc4, and the sequence selection transistors TH1-TH4, It comprises the output buffer amplifier 28a and 28b connected to the horizontal signal line, the vertical scanning circuit 7 which drives each pixel Px1-1 - Px3-4, and the

horizontal scanning circuit 8 which drives each sequence selection transistors TH1-TH4.

[0003]Two or more horizontal signal lines are arranged as illustrated. As long as pixel numbers are few solid state image pickup devices, the horizontal signal line of one series may be used. However, since the problem that sensitivity and working speed run short will arise if a pixel number increases, it is more preferred to form two or more horizontal signal lines, and to output in parallel. The signal of pixel Px1-1 - Px3-4 is outputted to the vertical signal wires 22a-22d from the source (S) of JFET2, It is outputted to the horizontal signal lines 27a and 27b via the sequence buffer amplifier 29a-29d, the clamp capacity Cc1-Cc4, and the sequence selection transistors TH1-TH4, and is outputted from the output terminals 35a and 35b through the output buffer amplifier 28a and 28b (Vout1, Vout2).

[0004]Between the clamp capacity Cc1-Cc4 and the sequence selection transistors TH1-TH4, the clamp transistors Tc1-Tc4 are connected, and fixed voltage (drawing 23 earth-potentials GND) can be impressed now to one electrode of clamp capacity. This is arranged in order to remove the noise produced in each pixel. Next, pixel structure is explained, referring to drawing 23 and drawing 24. Drawing 24 is a top view of two or more pixels arranged at matrix form. The photo-diode 1 which each pixel generates the electric charge

according to incident light, and is accumulated, The junction field effect transistor (henceforth JFET) 2 which outputs the signal according to the above-mentioned electric charge from source (S) by source follower operation, It comprises the transfer gate 3 which transmits the above-mentioned electric charge to JFET2 from the photo-diode 1, and the reset drain 4 which controls JFET2 and the reset gate 5. And each JFET2 is connected to the vertical signal wires 22a-22d for every sequence. The details are indicated by JP,8-293591,A about unit pixel structure.

[0005]Next, the conventional CCD type solid state image pickup device is explained with reference to drawings. Drawing 25 is an outline lineblock diagram of the conventional CCD type solid state image pickup device. Two or more photo-diodes 210 with which this element has been arranged at two-dimensional matrix form, It comprises two or more vertical transfer registers 220 which receive a signal charge from the photo-diode 210, and are transmitted to a column direction, the horizontal transfer registers 240a and 240b which receive a signal charge from the vertical transfer register 220, and are transmitted to a line writing direction, and the charge detectors 250a and 250b.

[0006]The vertical transfer register 220 and the horizontal transfer registers 240a and 240b are transmitted to the signal charge generated with the photo-diode 210, it is changed into a voltage signal by the charge detectors 250a and 250b,

and is outputted from the output terminals 260a and 260b (Vout1, Vout2).

Drawing 26 is a sectional view of the CCD type solid state image pickup device which met X1-X2 line of drawing 25. the N-type semiconductor board 200 top -- P type -- the well 201 is formed. the photo-diode 210 -- this P type -- a well -- it is arranged in inside.

[0007]The signal charge generated with the photo-diode 210 is accumulated in the N type charge storage field 211. By operation of the transfer electrode 224, the above-mentioned signal charge accumulated in the N type charge storage field 211 is first transmitted to the N type transmission channel region 221 of the vertical transfer register 220, and, subsequently to a column direction, is transmitted one by one. By the way, when using a solid state image pickup device for a color image pick-up, one colored filter of red (R) green (G) blue (B) is arranged on each photo-diode of a solid state image pickup device. Each pixel outputs the chrominance signal corresponding to the filter arranged at each pixel.

[0008]What has various arrangement of each colored filter of the above-mentioned R, G, and B is proposed. Drawing 27 and drawing 28 show the typical color filter array arranged to a solid state image pickup device in the case of a color image pick-up. In the arrangement shown in drawing 27, the red (R) and blue (B) colored filter is arranged corresponding to the pixel of others by which the colored filter of green (G) was arranged and left behind to stripe shape

every other row corresponding to the pixel.

[0009]In the arrangement shown in drawing 28, the colored filter of green (G) is arranged in checkers, and the red (R) and blue (B) colored filter is arranged line sequential corresponding to the pixel of others which were left behind (generally it is called a Bayer array). The color filter array by which the colored filter of green (G) has been arranged every other row at stripe shape and which is shown in drawing 27 is preferred for the conventional solid state image pickup device. The signal of the pixel provided with the colored filter of green (G) in which it serves as the main ingredients of a luminance signal goes via one horizontal signal line (27a or 27b of drawing 23), or one horizontal transfer register (240a or 240b of drawing 25), Since it is outputted from one output terminal (35a or 35b of drawing 23, 260a or 260b of drawing 25), while latter signal processing becomes easy, it is for a fixed pattern noise to decrease and for the S/N ratio of a video signal to improve.

[0010]

[Problem(s) to be Solved by the Invention]However, the fixed pattern noise occurred and the conventional solid state image pickup device had the problem that a S/N ratio fell, when the colored filter of green (G) was provided with the color filter array shown in drawing 28 arranged in checkers for example. the signal of a pixel with which this has been arranged in checkers should pass two

different courses (a horizontal signal line or a horizontal transfer register) -- it is because it is outputted from two different output terminals.

[0011]This invention is made in view of an aforementioned problem, and is parallel output composition. the purpose -- and signal dispersion of the pixel (or photoelectric conversion part) arranged in checkers is reduced, and a S/N ratio is providing a high solid state image pickup device.

[0012]

[Means for Solving the Problem]Two or more pixels by which the invention according to claim 1 has been arranged at two-dimensional matrix form, It is the X-Y address type solid state image pickup device provided with two or more output terminals which output a signal of said pixel, a signal of a specified pixel arranged in checkers among said pixels is outputted from one output terminal, and a signal of other pixels is outputted from other output terminals.

[0013]Since a signal of a pixel arranged in checkers is outputted from one output terminal, a fixed pattern noise of a signal outputted from a pixel arranged in checkers decreases, and its S/N ratio improves. It is suitable when it has a colored filter of checkered arrangement especially. Two or more pixels by which the invention according to claim 2 has been arranged at two-dimensional matrix form, Are two or more vertical signal wires to which said pixel was connected,

and two horizontal signal lines to which said vertical signal wire was connected via a switch the solid state image pickup device which it had, and to each of said vertical signal wire. inside of an adjacent pixel row of two rows -- a pixel of the oddth line of one pixel row -- and, A pixel of the eventh line of a pixel row of another side is connected, said odd-numbered vertical signal wire is connected to said one horizontal signal line, and said even-numbered vertical signal wire is connected to said horizontal signal line of another side.

[0014]Since a signal of a pixel arranged in checkers is outputted via one horizontal signal line by this composition, a fixed pattern noise decreases and its S/N ratio improves by it. It is suitable when it has a colored filter of checkered arrangement especially. The invention according to claim 3 is [this invention] characterized by that a solid state image pickup device indicated to claim 1 or 2 comprises the following.

A photoelectric conversion part which generates an electric charge [pixel / said] according to incident light.

An outputting part which outputs a signal according to said electric charge to a vertical signal wire.

In a solid state image pickup device with which the invention according to claim 4 was indicated to claim 3, said pixel has further a transfer part which transmits said electric charge to said outputting part from said photoelectric conversion

part, and a control section which controls said outputting part.

[0015]It becomes possible to output not the electric charge itself produced in incident light by these composition but a signal (for example, a signal by which electric charge amplification was carried out and a signal by which current amplification was carried out) changed by this electric charge. The invention according to claim 5 is the solid state image pickup device according to any one of claims 1 to 4, are a pixel which a shielding region was formed in said a part of pixel, and has been arranged at the oddth line, and a pixel arranged at the eventh line, and is characterized by shape of said shielding region being the same.

[0016]By this composition, the light-receiving characteristic of each pixel becomes the same, a fixed pattern noise decreases, and a S/N ratio improves. The invention according to claim 6 is the solid state image pickup device indicated to either of claim 1 to claims 5, a colored filter of two or more kinds is arranged corresponding to said pixel, and said at least one kind of colored filter is arranged in checkers.

[0017]When carrying out a color image pick-up, a colored filter is arranged at each pixel of a solid state image pickup device. Generally a colored filter has a kind of two or more colors. As for an invention of claim 7, a colored filter of Isshiki is arranged in checkers at least among two or more of these colored filters. For

this reason, a fixed pattern noise decreases and S/N ratio of a signal corresponding to this color improves. The invention according to claim 7 is the solid state image pickup device indicated to either of claim 1 to claims 5, a green colored filter is arranged in checkers corresponding to said pixel, and red and a blue colored filter are arranged line sequential corresponding to said other pixels. This claim shows a kind of concrete colored filter.

[0018]Two or more photoelectric conversion parts by which the invention according to claim 8 has been arranged at two-dimensional matrix form, It is the CCD type solid state image pickup device provided with two or more output terminals which output a signal of said photoelectric conversion part, A signal of a specific photoelectric conversion part arranged in checkers among said photoelectric conversion parts is outputted from one output terminal, and a signal of other photoelectric conversion parts is outputted from other output terminals.

[0019]Since a signal of a photoelectric conversion part arranged in checkers is outputted from one output terminal, a fixed pattern noise of a signal outputted from a photoelectric conversion part arranged in checkers decreases, and its S/N ratio improves. It is suitable when it has a colored filter of checkered arrangement especially. Two or more photoelectric conversion parts by which the invention according to claim 9 has been arranged at two-dimensional matrix

form, Two or more vertical transfer registers which receive a signal charge from said photoelectric conversion part, and are transmitted to a column direction, Are two horizontal transfer registers which receive said signal charge from said vertical transfer register, and are transmitted to a line writing direction the solid state image pickup device which it had, and each of said vertical transfer register, Among adjacent photoelectric conversion parts of two rows, a photoelectric conversion part of the oddth line of one sequence, And receive a signal charge from a photoelectric conversion part of the eventh line of a sequence of another side, and said one horizontal transfer register receives a signal charge from said odd-numbered vertical transfer register, Said horizontal transfer register of another side receives a signal charge from said even-numbered vertical transfer register.

[0020]A signal of a photoelectric conversion part arranged in checkers is outputted via one horizontal transfer register. For this reason, a fixed pattern noise decreases and a S/N ratio improves. It is suitable especially when it has a colored filter of checkered arrangement. They are a photoelectric conversion part which the invention according to claim 10 is a solid state image pickup device given in either claim 8 or claim 9, and a shielding region was formed in said a part of photoelectric conversion part, and has been arranged at the oddth line, and a photoelectric conversion part arranged at the eventh line, It is

characterized by shape of said shielding region being the same.

[0021]By this composition, the light-receiving characteristic of each photoelectric conversion part becomes the same, a fixed pattern noise decreases, and a S/N ratio improves. The invention according to claim 11 is the solid state image pickup device indicated to either of claim 8 to claims 10, a colored filter of two or more kinds is arranged corresponding to said photoelectric conversion part, and said at least one kind of colored filter is arranged in checkers.

[0022]When carrying out a color image pick-up, a colored filter is arranged at each photoelectric conversion part of a solid state image pickup device. Generally a colored filter has a kind of two or more colors. As for an invention of claim 11, a colored filter of Isshiki is arranged in checkers at least among two or more of these colored filters. For this reason, a fixed pattern noise decreases and S/N ratio of a signal corresponding to this color improves.

[0023]The invention according to claim 12 is the solid state image pickup device indicated to either of claim 8 to claims 10, a green colored filter is arranged in checkers corresponding to said photoelectric conversion part, and red and a blue colored filter are arranged line sequential corresponding to said other photoelectric conversion parts. This claim shows a kind of concrete colored filter.

[0024]

[Embodiment of the Invention]Hereafter, an embodiment of the invention is

described with reference to drawings. A portion same [identical codes] or considerable is shown among each figure, and the overlapping explanation is omitted.

[Embodiment 1] Drawing 1 is a circuit diagram showing the outline of the solid state image pickup device by Embodiment 1 of this invention.

[0025]Two or more pixel Px1-1 which the solid state image pickup device by Embodiment 1 is a X-Y address type solid state image pickup device, and have been arranged at two-dimensional matrix form - Px3-4, The vertical signal wires 22a-22d to which the adjacent pixel of two rows was connected by turns at intervals of a pixel, The horizontal signal lines 27a and 27b to which the vertical signal wires 22a-22d were connected by turns via the sequence selection transistors TH1-TH4, It comprises the output terminals 35a and 35b provided in the horizontal signal lines 27a and 27b, the vertical scanning circuit 7 which drives each pixel Px1-1 - Px3-4, and the horizontal scanning circuit 8 which drives each sequence selection transistors TH1-TH4.

[0026]As for the pixel of the actual solid state image pickup device of this embodiment, a line writing direction and a column direction are arranged 100 or more. Drawing 1 (and each circuit diagram showing another embodiment) shows the part for convenience. Here, although the pixel number was performed above, this invention is not restricted to this. For example, according to a use, a pixel

may arrange a line writing direction and a column direction 1000 or more.

[0027]The pixel of the oddth line of one pixel row and the pixel of the eventh line of the pixel row of another side are connected among the pixel rows of two rows which adjoin vertical signal wires [22a-22d] each, and the solid state image pickup device of Embodiment 1 has two horizontal signal lines. Namely, the party eye went in the drawing, a left-hand side pixel (Px1-1) and the second line connect a right-hand side pixel (Px2-2), and, as for the vertical signal wire 22a, the third line has connected the left-hand side pixel (Px3-1). And the vertical signal wires 22a and 22c are connected to one horizontal signal line 27a via sequence selection transistor TH1 and TH3. The vertical signal wires 22b and 22d are connected to the horizontal signal line 27b of another side via sequence selection transistor TH2 and TH4.

[0028]The signal which will be outputted from the pixel (pixel arranged in checkers) of Px1-1 and Px1-3, Px2-2, and Px2-4, Px3-1, and Px3-3 if it connects in this way becomes possible [outputting to the exterior of a solid state image pickup device via the same horizontal signal line]. Since it goes via the same horizontal signal line, a fixed pattern noise is reduced. The colored filter of green (G) is provided in checkers, and is arranged on a corresponding pixel (Px1-1 and Px1-3, Px2-2, and Px2-4, Px3-1, Px3-3). A red (R) and blue (B) colored filter is arranged line sequential at the pixel of others which were left behind (Bayer

array).

[0029] Thus, if a colored filter is arranged, the signal of green (G) will be outputted from the output terminal 35a via the same horizontal signal line 27a. A red (R) and blue (B) signal is outputted from the output terminal 35b via the horizontal signal line 27b of another side. As mentioned above, the signal of the pixel provided with the colored filter of green (G) in which the solid state image pickup device of Embodiment 1 has been arranged in checkers is outputted from the one output terminal 35a via the one horizontal signal line 27a. Therefore, while latter signal processing becomes easy compared with the conventional X-Y address type solid state image pickup device, a fixed pattern noise decreases and a S/N ratio improves.

[Embodiment 2] Drawing 2 is a circuit diagram showing the outline of the solid state image pickup device by Embodiment 2 of this invention.

[0030] The photo-diode 41 with which the solid state image pickup device by Embodiment 2 is a X-Y address type solid state image pickup device, and one pixel (for example, Px1-1) generates and accumulates the electric charge according to incident light. It comprises the line selection transistor 42 which transmits the electric charge of the photo-diode 41 to the vertical signal wire 22a. Each pixel covers fields other than photo-diode 41 with the film (light-shielding film) which has a light blocking effect, is a pixel of the oddth line, and a pixel of

the eventh line, and is good also as the same in the shape of a shielding region. If it does in this way, the position of the area of a light sensing portion, shape, and the optical center of gravity will become the same [the pixel of the oddth line, and the pixel of the eventh line], and the variation in the light-receiving characteristic will be reduced. Other composition is the same as that of the solid state image pickup device of Embodiment 1.

[0031]Corresponding to the photo-diode 41 of each pixel Px1-1 - Px3-4, each colored filter of red (R) green (G) blue (B) is arranged like the solid state image pickup device of Embodiment 1. For this reason, and the signal of green (G) is outputted from the output terminal 35a via the horizontal signal line 27a. [while] A red (R) and blue (B) signal is outputted from the output terminal 35b via the horizontal signal line 27b of another side.

[0032]Therefore, like the solid state image pickup device of Embodiment 1, while latter signal processing becomes easy, a fixed pattern noise decreases and the S/N ratio of the solid state image pickup device of Embodiment 2 improves.

[Embodiment 3] Drawing 3 is a circuit diagram showing the outline of the solid state image pickup device by Embodiment 3 of this invention.

[0033]The photo-diode 51 with which the solid state image pickup device by Embodiment 3 is a X-Y address type solid state image pickup device, and one pixel (for example, Px1-1) generates and accumulates the electric charge

according to incident light, The transistor 52 which detects the potential of the photo-diode 51 and is outputted from source (S) by source follower operation, It comprises the reset transistor 53 which initializes the line selection transistor 54 which connects the source (S) and the vertical signal wire 22a of the transistor 52, and the photo-diode 51 and the transistor 52. The potential of the photo-diode 51 is changed according to the quantity of the accumulated electric charge.

[0034]The signal of pixel Px1-1 - Px3-4 is outputted to the vertical signal wires 22a-22d via the line selection transistor 54 from the source (S) of the transistor 52, It is outputted to the horizontal signal lines 27a and 27b via the sequence buffer amplifier 29a-29d, the clamp capacity Cc1-Cc4, and the sequence selection transistors TH1-TH4, and is outputted from the output terminals 35a and 35b through the output buffer amplifier 28a and 28b (Vout1, Vout2).

[0035]By the way, the connecting relation of each pixel and the vertical signal wires 22a-22d is the same as that of Embodiment 1, and the pixel of two rows which adjoins vertical signal wires [22a-22d] each is connected by turns at intervals of a pixel. While the vertical signal wires 22a-22d are connected to the vertical load carrying capacity Cv1-Cv4, It is connected to the clamp transistors TC1-TC4 via the sequence buffer amplifier 29a-29d and the clamp capacity Cc1-Cc4, and is further connected to the horizontal signal lines 27a and 27b by turns through the sequence selection transistors TH1-TH4.

[0036]Therefore, like the solid state image pickup device of Embodiment 1, while latter signal processing becomes easy, a fixed pattern noise decreases and the S/N ratio of the solid state image pickup device of Embodiment 3 improves. The solid state image pickup device of Embodiment 3 may cover fields other than photo-diode 51 of each pixel with a light-shielding film like the solid state image pickup device of Embodiment 2, and may make shape of a shielding region the same by the pixel of the oddth line, and the pixel of the eventh line.

[0037]Since the zone of source follower operation of the transistor 52 is restricted by the vertical load carrying capacity $Cv1-Cv4$, a noise decreases further. That is, the solid state image pickup device of this embodiment carries out subtraction treatment of a source follower output when the photo-diode 51 accumulates a signal charge, and the source follower output after resetting the signal charge of the photo-diode 51 via the clamp capacity $Cc1-Cc4$. By this processing, the fixed pattern noise by dispersion in the threshold voltage of the transistor 52, the $1/f$ noise at the time of source follower operation, and the fixed pattern noise by dispersion in sequence buffer amplifier [29a-29d] offset voltage decrease, and their S/N ratio improves further.

[Embodiment 4] Drawing 4 is a circuit diagram showing the composition of the solid state image pickup device by Embodiment 4 of this invention. The solid state image pickup device by Embodiment 4 is a X-Y address type solid state

image pickup device, and the pixel configuration differs from the solid state image pickup device of Embodiment 3. In connection with it, the wiring for a scan connected to a vertical scanning circuit or it differs.

[0038]One pixel of the solid state image pickup device by Embodiment 4, for example, Px1-3, The photo-diode 1 which generates and accumulates the electric charge according to incident light, and the junction field effect transistor (henceforth JFET) 2 which outputs the signal according to the above-mentioned electric charge from the source S by source follower operation, It comprises the transfer gate 3 which transmits the above-mentioned electric charge to JFET2 from the photo-diode 1, and the reset drain 4 which controls JFET2 and the reset gate 5.

[0039]Other composition is almost the same as that of the solid state image pickup device of Embodiment 3. Drawing 5 is a top view of two or more pixels of the solid state image pickup device concerning this embodiment. Each pixel comprises the photo-diode 1, JFET2, the transfer gate 3, the reset drain 4, and the reset gate 5. And structure has reversed the pixel arranged at the oddth line, and the pixel arranged at the eventh line, and JFET2 which is an adjacent pixel of two rows is connected to the vertical signal wire 22 (it corresponds to the vertical signal wires 22a-22d of drawing 4) by turns at intervals of a pixel.

[0040]The transfer gate 3 is connected to the transfer gate wiring 20 (it

corresponds to the transfer gate wiring 20a-20c of drawing 4), and the reset gate 5 is connected to the reset gate wiring 21 (it corresponds to the reset gate wiring 21a-21c of drawing 4), respectively. The reset drain 4 is connected to the reset drain wiring 24 (it corresponds to the reset drain wiring 24a-24c of drawing 4) via the relay wiring 23 (refer to drawing 7).

[0041]Fields other than photo-diode 1 of each pixel are shaded with the reset drain wiring 24 and the vertical signal wire 22 which were formed with the material which has light blocking effects, such as aluminum. By this, the pixel of the oddth line and the pixel of the eventh line become the same [the position of the area of a light-receiving field, shape, and the optical center of gravity]. For this reason, a fixed pattern noise decreases further and a S/N ratio improves further.

[0042]In the solid state image pickup device of this embodiment, the wiring for a scan and a vertical signal wire were made to serve a double purpose as a light-shielding film as mentioned above. Therefore, a manufacturing process decreases rather than arranging a film for exclusive use as a light-shielding film. For this reason, the yield improves and a manufacturing cost is reduced. However, conversely, an aluminum film may be formed only in a light-shielding film, and it may pattern so that a light-receiving field may carry out an opening. If it does in this way, there will be no necessity of using wiring also [light-shielding

film], and the flexibility of a wiring design will improve.

[0043]The solid state image pickup device of this embodiment arranges each colored filter of red (R) green (G) blue (B) to the photo-diode 1 of each pixel as well as the solid state image pickup device concerning Embodiment 1. For this reason, and the signal of green (G) is outputted from the output terminal 35a via the horizontal signal line 27a. [while] For this reason, while latter signal processing becomes easy, a fixed pattern noise decreases and a S/N ratio improves.

[0044]Hereafter, with reference to drawing 6 - drawing 9, the pixel structure of the solid state image pickup device of Embodiment 4 is explained still in detail. The top view of one pixel of the solid state image pickup device which drawing 6 requires for this embodiment, the sectional view where drawing 7 met X1-X2 line of drawing 6, the sectional view where drawing 8 met Y1-Y2 line of drawing 6, and drawing 9 are the sectional views which met Y3-Y4 line of drawing 6. The colored filter is omitted in these figures.

[0045]The photo-diode 1 is constituted by the N type well area 11, the P type charge storage field 12, and the high-concentration N-type semiconductor field 13 which were formed on the P-type semiconductor board 10 as shown in drawing 8 and drawing 9. Thereby, the photo-diode of the flush type is formed with a NPNP type vertical mold overflow drain structure. That is, the structure to

which an embedding type photo-diode (N, P, N) and vertical mold overflow drain structure (P, N, P) were joined is formed. The composition of the photo-diode of a flush type has dark current, an afterimage, a reset noise, blooming, and the effect of reducing a smear, with vertical mold overflow drain structure.

[0046]JFET2 comprises N type source region 14, the P type gate region 15, N type drain region 16, and the N type channel regions 17, as shown in drawing 7 and drawing 8. The transfer gate 3 is formed via the insulator layer 33 on the photo-diode 1 and the border area of JFET2, as shown in drawing 8. The reset drain 4 comprises the P type electric charge discharge region 18 in the N type well area 11, as shown in drawing 7 and drawing 9. The reset gate 5 is formed via the insulator layer 33 on the border area of JFET2 and the reset drain 4, as shown in drawing 7.

[0047]As mentioned above, the signal of the pixel provided with the colored filter of green (G) in which the solid state image pickup device of Embodiment 4 has been arranged in checkers is outputted from the one output terminal 35a via the one horizontal signal line 27a and the one output buffer amplifier 28a. Therefore, like the solid state image pickup device of Embodiment 1, while latter signal processing becomes easy, a fixed pattern noise decreases and a S/N ratio improves.

[0048]Fields other than photo-diode 1 of each pixel are shaded with the reset

drain wiring 24 and the vertical signal wire 22, and the solid state image pickup devices of Embodiment 4 are a pixel of the oddth line, and a pixel of the eventh line, Since the shape of a shielding region is the same, a fixed pattern noise decreases and a S/N ratio improves further. Dark current, an afterimage, a reset noise and blooming, and a smear are reduced for vertical mold overflow drain structure and the photodiode structure of a flush type. With the vertical load carrying capacity $Cv1-Cv4$, since [of JFET2] the zone of source follower operation is restricted, a noise decreases, and a S/N ratio improves further.

[0049]The source follower output of JFET2 after initialization (before signal-charge transmission), By carrying out subtraction treatment (what is called correlation double sampling processing) of the source follower output of JFET2 after signal-charge transmission from the photo-diode 1 via the clamp capacity $Cc1-Cc4$ to JFET2, The fixed pattern noise by dispersion in the threshold voltage of JFET2, the $1/f$ noise at the time of source follower operation, The reset noise generated when the fixed pattern noise by dispersion in the offset voltage of the sequence buffer amplifier 29a-29b not only decreases, but JFET2 is initialized via the reset gate 5 is also reduced. For this reason, a S/N ratio improves further.

[Embodiment 5] Drawing 10 is a circuit diagram showing the composition of the solid state image pickup device by Embodiment 5 of this invention, and drawing

11 is a top view of two or more pixels arranged at the matrix form.

[0050]The solid state image pickup device by Embodiment 5 is a X-Y address type solid state image pickup device, and the pixel configuration differs from the solid state image pickup device of Embodiment 4. Other composition is the same as that of the solid state image pickup device of Embodiment 4, and the explanation is omitted. Here, the pixel structure of the solid state image pickup device applied to this embodiment with reference to drawings is explained.

Drawing 12 is a top view of one pixel of the solid state image pickup device concerning this embodiment, and the sectional view where drawing 13 met X1-X2 line of drawing 12, the sectional view where drawing 14 met Y1-Y2 line of drawing 12, and drawing 15 are the sectional views which met Y3-Y4 line of drawing 12.

[0051]One pixel comprises the photo-diode 1, JFET2, the transfer gate 3, and the two overflow control fields [two] 6a per reset drain (4 or pixel) per reset gate (5 or pixel) (refer to drawing 12). The above-mentioned photo-diode 1, JFET2, the reset drain 4, and the overflow control field 6a are formed into the N-type semiconductor layer 101 on the high-concentration N-type semiconductor board 100. The transfer gate 3 and the reset gate 5 are formed via the insulator layer 33 on the N-type semiconductor layer 101.

[0052]The photo-diode 1 is constituted by the N-type semiconductor layer 101,

the P type charge storage field 12, and the high-concentration N-type semiconductor field 13 which were formed on the high-concentration N-type semiconductor board 100 as shown in drawing 14 and drawing 15. That is, the NPN type embedded photo-diode is formed. JFET2 is provided into the N-type semiconductor layer 101 on the high-concentration N-type semiconductor board 100, as shown in drawing 13 and drawing 14. Therefore, the drain area 16 of JFET2 is electrically connected with the high-concentration N-type semiconductor board 100 via the N-type semiconductor layer 101. Therefore, the drain voltage VD (refer to drawing 10) can be supplied to the drain area 16 of JFET2 via the high-concentration N-type semiconductor board 100. Since the high-concentration N-type semiconductor board 100 has small electrical resistance, even if it arranges many pixels, it can oppress change of the drain voltage for every JFET.

[0053]This drain voltage VD forms contact in the circumference of a picture element region (field where two or more pixels have been arranged at matrix form), may be supplied via the semiconductor substrate 100, or may form and supply contact to the rear face of the semiconductor substrate 100. The P type electric charge discharge region 18 of the reset drain 4 is connected to the reset drain wiring 24 via the relay wiring 23, as shown in drawing 13.

[0054]The reset gate 5 is formed at two rate per pixel, as shown in drawing 12

and drawing 13. Therefore, the P type gate region 15 of JFET2 and the P type electric charge discharge region 18 of the reset drain 4 are connected to the line writing direction in series via the reset gate 5. The overflow control field 6a is arranged in the border area of the photo-diode 1 and the reset drain 4 for overflow. If superfluous light volume enters into a photo-diode and the generated electric charge generally exceeds the capacity (the amount of the maximum charge storages) of a photo-diode, excess charges will overflow and blooming will be produced. The overflow control field 6a discharges these excess charges to the reset drain 4, and prevents blooming. The overflow control field 6a is arranged between the photo-diode 1 and the two reset drains 4 which adjoin this, as shown in drawing 12, drawing 14, and drawing 15. That is, the overflow control field 6a is arranged at two rate per pixel in the border area of the photo-diode 1 and the reset drain 4.

[0055] Thus, the pixel structure of the solid state image pickup device of this embodiment is constituted by the NPN type embedded photo-diode 1, the overflow control field 6a, and the reset drain 4, and, thereby, an embedding type photo-diode and horizontal-type overflow drain structure are formed. Here, it returns and explains to drawing 10 and 11. As for the solid state image pickup device of this embodiment, the above-mentioned pixel is arranged at matrix form. By the way, the gate region and the reset drain 4 of JFET2 of each pixel which

have been arranged at the line writing direction (it is a transverse direction in drawing 10 and 11) are altogether connected to series via the reset gate 5. By this composition, the defect by open circuit of reset drain wiring is reduced. That is, in a certain pixel, even if the defect in the release mode it becomes imperfect connecting with the reset drain 4 and the reset drain wiring 24, 24a-24c occurs, it is connected with JFET2 of the above-mentioned pixel from the reset drain 4 of other pixels. For this reason, a possibility of being disconnected becomes very small.

[0056]Other composition is the same as that of the solid state image pickup device of Embodiment 4. For this reason, a fixed pattern noise reduces the solid state image pickup device of Embodiment 5 like the solid state image pickup device of Embodiment 4, and its S/N ratio improves. Even if the defect in the release mode it becomes imperfect connecting with the reset drain 4 occurs, since JFET2 is controllable, the manufacturing yield of the solid state image pickup device of Embodiment 5 improves.

[0057]Since the drain voltage VD is supplied to the drain area 16 of JFET2 via the high-concentration (low resistance) N-type semiconductor board 100, the fluctuation for every pixel of drain voltage decreases, and a fixed pattern noise decreases. The P type charge storage field 12 and the opposite conductivity type N-type semiconductor board 100 of the photo-diode 1 are used. For this

reason, the signal charge (in this case, electron hole) by which it was generated in the photo-diode 1 depths is also accumulated in the photo-diode 1, and its sensitivity improves.

[Embodiment 6] Drawing 16 is a top view of two or more pixels arranged at the matrix form of the solid state image pickup device concerning Embodiment 6 of this invention.

[0058]The solid state image pickup device of Embodiment 6 is a X-Y address type solid state image pickup device, The shape of the relative physical relationship of the photo-diode 1 arranged at the pixel, JFET2, the transfer gate 3, the reset drain 4, the reset gate 5, and the overflow control field 6a and a wiring section differs from the solid state image pickup device of Embodiment 5. That is, the solid state image pickup device of Embodiment 6 serves as the shape and arrangement in which the reset gate 5 in the shielding region covered with the reset drain wiring 24, the vertical signal wire 22, and the relay wiring 23 are the same at the pixel of the oddth line, and the pixel of the eventh line. Therefore, it is the same to the sectional shape of the whole pixel not only including the superficial shape of a shielding region but wiring and an insulator layer. For this reason, dispersion in the light-receiving characteristic decreases further.

[0059]The composition of others including a circuit diagram is the same as that

of the solid state image pickup device of Embodiment 5 (refer to drawing 10).

Therefore, a fixed pattern noise reduces the solid state image pickup device of Embodiment 6 like the solid state image pickup device of Embodiment 5, and a S/N ratio, the yield, and its sensitivity improve. The solid state image pickup devices of Embodiment 6 are a pixel of the even line, and a pixel of the odd line, since they become the same [the sectional shape of wiring or an insulator layer], a fixed pattern noise decreases and their S/N ratio improves further.

[Embodiment 7] Drawing 17 is a circuit diagram showing the outline of the solid state image pickup device by Embodiment 7 of this invention. The solid state image pickup device of Embodiment 7 is a X-Y address type solid state image pickup device, and the composition from the vertical signal wires 22a-22d to the output terminals 35a and 35b differs from the solid state image pickup device of Embodiment 5.

[0060]The adjacent pixel of two rows the vertical signal wires 22a-22d connected by turns at intervals of a pixel, While being connected to the signal output storage capacitance CS1-CS4 via the transistors TS1-TS4 for signal output transmission, it is connected to the horizontal signal line 27a or 27c (signal output line) through the sequence selection transistors THS1-THS4. The vertical signal wires 22a-22d are connected to the horizontal signal line 27b or 27d (dark output line) through the sequence selection transistors THD1-THD4 while being

connected to the dark output storage capacitance CD1-CD4 via the transistors TD1-TD4 for dark output transmission. That is, the vertical signal wires 22a-22d are connected to 1 set of horizontal signal lines (the signal output line 27a, the dark output line 27b), and the horizontal signal line (the signal output line 27c, the dark output line 27d) of other groups by turns.

[0061]The horizontal signal lines 27a-27d are connected to the differential amplifier 34a and 34b via the output buffer amplifier 28a-28d. Thus, the four horizontal signal lines 27a-27d are arranged. However, the horizontal signal lines 27a and 27b and the horizontal signal lines 27c and 27d are a pair. That is, 2 sets (two) of horizontal signal lines are arranged.

[0062]For example, pixel Px1-1, Px2-2, and Px3-1 are connected to the vertical signal wire 22a. The course (namely, TS1-CS1-THS1-27a-28a) which accumulates and outputs the lightwave signal with which the vertical signal wire 22a contains a noise (dark output), and the course (namely, TD1-CD1-THD1-27b-28b) which accumulates a noise (dark output) and is outputted are connected. The output buffer amplifier 28a and 28b connected to each course is connected to the differential amplifier 34a. And subtraction treatment of the signal outputted from each course is carried out, and it is outputted from one output terminal 35a.

[0063]On the other hand, pixel Px1-2 and Px2-3 and Px3-2 is connected to the

vertical signal wire 22b. And the course (namely, TS2-CS2-THS2-27c-28c) which accumulates and outputs the lightwave signal with which the vertical signal wire 22b includes a dark output, and the course (namely, two to 27 d to 28 d TD2-CD2-THD) which accumulates a dark output and is outputted are connected. The output buffer amplifier 28c and 28d connected to each course is connected to the differential amplifier 34b, subtraction treatment of the signal outputted from each course is carried out, and it is outputted from the output terminal 35b of another side.

[0064]Here, operation of the solid state image pickup device of this embodiment is explained briefly. First, the source follower output (dark output) of JFET2 after initialization (before signal-charge transmission) is accumulated in CD1-CD4. Next, it is a source follower output (signal output.) of JFET2 after signal-charge transmission from the photo-diode 1 to JFET2. a dark output ingredient -- containing -- it accumulates in CS1-CS4. Subsequently, subtraction treatment of a signal output and the dark output is carried out with the differential amplifier 34a and 34b via the sequence selection transistors THS1-THS4, THD1-THD4, the horizontal signal lines 27a-27d, and the output buffer amplifier 28a-28d. By this operation, what is called correlation double sampling processing is made, and the true signal output from which the dark output ingredient was deducted is obtained.

[0065]In addition, The fixed pattern noise according to dispersion in the threshold voltage of "JFET2 in the dark output indicated here", "the fixed pattern noise by dispersion in sequence buffer amplifier [29a-29d] offset voltage", and "the 1/f noise at the time of source follower operation" "JFET2. A reset noise when it initializes" is contained. As for the output buffer amplifier 28a-28d, in order to avoid the influence of an external noise, it is preferred to provide in the inside of a solid state image pickup device. On the other hand, differential Anh 34a and 34b may provide in the exterior of a solid state image pickup device.

[0066]Since the colored filter of green (G) is arranged on the pixel (Px1-1 and Px1-3, Px2-2, and Px2-4, Px3-1, Px3-3) which provides in checkers and corresponds, and the signal of green (G) is outputted from the output terminal 35a via the horizontal signal lines 27a and 27b of a group. [while] A red (R) and blue (B) signal is outputted from the output terminal 35b via the horizontal signal lines 27c and 27d of the group of another side. For this reason, while latter signal processing becomes easy, a fixed pattern noise decreases and a S/N ratio improves.

[Embodiment 8] Drawing 18 is a lineblock diagram showing the outline of the solid state image pickup device by Embodiment 8 of this invention. Two or more photo-diodes 210 which the solid state image pickup device by Embodiment 8 is a CCD type solid state image pickup device, and have been arranged at

two-dimensional matrix form, Two or more vertical transfer registers 220 which receive a signal charge from the adjacent photo-diode 210 of two rows by turns alternately, and are transmitted to a column direction, It has the two horizontal transfer registers 240a and 240b which receive a signal charge from the vertical transfer register 220, and are transmitted to a line writing direction, and charge detectors 250a and 250b.

[0067]It distributes among the horizontal transfer registers 240a and 240b, a transfer electrode (not shown) is arranged, and a signal charge is transmitted by this electrode to either the horizontal transfer register 240a or the horizontal transfer register 240b. ϕ_{iV1} to ϕ_{iV3} is pulse voltage impressed to the transfer electrode (after-mentioned) of the vertical transfer register 220, and ϕ_{iHG} is pulse voltage impressed to the horizontal transfer register 240a and the distribution transfer electrode between 240b.

[0068]The colored filter of red (R) green (G) blue (B) is arranged in the same arrangement as Embodiment 1 at each photo-diode 210. The vertical transfer register 220 and the horizontal transfer registers 240a and 240b are transmitted to the signal charge generated with the photo-diode 210, it is changed into a voltage signal by the charge detectors 250a and 250b, and is outputted from the output terminals 260a and 260b (V_{out1} , V_{out2}).

[0069]Thus, the solid state image pickup device of Embodiment 8 has received

the signal charge from the photo-diode 210 of two rows with which each of the vertical transfer register 220 adjoins each other by turns alternately. That is, as for each vertical transfer register, a party eye goes in a drawing, a left-hand side pixel and the second line receive a right-hand side pixel, and the third line receives a charge signal from a left-hand side pixel.

[0070]And the signal charge outputted from each of the vertical transfer register 220 is transmitted to the level signal registers 240a and 240b by turns. If it connects in this way, the signal charge outputted from the pixel arranged in checkers will be outputted to the exterior of a solid state image pickup device via the same horizontal transfer register. Since it goes via the same horizontal transfer register, a fixed pattern noise is reduced.

[0071]Hereafter, with reference to drawing 19 - drawing 21, the pixel structure of the solid state image pickup device of Embodiment 4 is explained still in detail. The top view of the field 300 where drawing 19 was surrounded with the dashed line of drawing 18, the sectional view where drawing 20 met X1-X2 line of drawing 19, and drawing 21 are the sectional views which met X3-X4 line of drawing 19. The colored filter is omitted in the figure. The photo-diode 210 is constituted by the P type well area 201 formed on the N-type semiconductor board 200, the N type charge storage field 211, and high-concentration P-type semiconductor region 212 as shown in drawing 20. Thereby, the photo-diode of

the flush type is formed with a PNP type vertical mold overflow drain structure. That is, the structure to which an embedding photo-diode (P, N, P) and vertical mold overflow drain structure (N, P, N) were joined is formed. It embeds with vertical mold overflow drain structure, and the composition of the photo-diode of a mold has dark current, an afterimage, a reset noise, blooming, and the effect of reducing a smear.

[0072]The vertical transfer register 220 comprises the transfer electrodes 223-225 formed in the 2nd P type well area [for oppressing the N type transmission channel region 221 and a smear noise] 222, and N type transmission channel region 221 upper part via the insulator layer 202, as shown in drawing 19 and drawing 20. The above-mentioned transfer electrodes 223-225 constitute the register for one step (three-phase drive CCD) from three electrodes in the column direction, and the drive pulse $\phi V1$ to $\phi V3$ is impressed to each. That is, the transfer electrodes 223 and 225 which extend in a line writing direction, and the transfer electrode 224 which extends in a column direction are arranged, and the vertical transfer register for one step is provided to the one photo-diode 210. Therefore, this solid state image pickup device is the so-called CCD type solid state image pickup device of all the pixel read systems.

[0073]The P type channel stopper 230 was formed in the circumference of the photo-diode 210, and has separated between the photo-diodes 210 between the

photo-diode 210 and the vertical transfer register 220 and contiguous to a column direction. The P type channel stopper 230 is not formed in the lower part of transfer gate TG as shown in drawing 19. Therefore, the signal charge generated with each photo-diode 210 is accumulated in the photo-diode 210, and when one [transfer gate TG], it is transmitted to the vertical transfer register 220 via the field of the lower part of transfer gate TG. In drawing 19 - drawing 21, the arrow has shown the direction which a signal charge moves.

[0074]As the light-shielding film 226 shows drawing 19 and drawing 20, it is formed in the 223 to transfer electrode 225 upper part on a vertical transfer register via the insulator layer 202. The position by which transfer gate TG is arranged is reversed by the even line with the odd line. However, with the light-shielding film 226, the shape of a light sensing portion becomes the same and the light-receiving characteristic is equalized. Three-phase drive CCD was used for the vertical transfer register in this embodiment. However, not only this but four-phase drive CCD may be sufficient.

[0075]As mentioned above, the solid state image pickup device of Embodiment 8, The one horizontal transfer register 240a is transmitted to the signal charge of the photo-diode 210 provided with the colored filter of green (G) arranged in checkers, it is changed into a voltage signal by the one charge detector 250a, and is outputted from the one output terminal 260a. Therefore, while latter signal

processing becomes easy, a fixed pattern noise decreases and a S/N ratio improves.

[0076]The solid state image pickup devices of Embodiment 8 are the oddth line and the eventh line, since the superficial shape of the light-shielding film 226 and sectional shape including wiring or an insulator layer are the same, a fixed pattern noise decreases and their S/N ratio improves further. Since the photo-diode 210 of a flush type is adopted with vertical mold overflow drain structure, dark current, an afterimage, a reset noise and blooming, and a smear decrease, and in the latter part of the charge detectors 250a and 250b. By carrying out what is called correlation double sampling processing, the reset noise generated in the charge detectors 250a and 250b and a $1/f$ noise decrease. Therefore, a S/N ratio improves further.

[0077]Next, the system which processes the signal outputted from the solid state image pickup device concerning this invention is explained. Drawing 22 is a lineblock diagram showing an example of the signal processor which processes the signal outputted from the solid state image pickup device concerning this invention. The solid state image pickup device concerning this invention outputs the signal from the remaining pixels outside for the signal from the pixel arranged in checkers from the signal terminal of another side from one output terminal like the above-mentioned explanation. And it is suitable as a solid state

image pickup device for colors which arranges a red (R) and blue (B) colored filter to the colored filter of green (G), and other pixels line sequential corresponding to the pixel arranged in checkers (Bayer array).

[0078]As mentioned above, this signal processor carries out a color image pick-up using the solid state image pickup device of this invention with which the colored filter has been arranged at each pixel, and returns the signal outputted to two terminals by the ability to distribute to the time series signal corresponding to the position of the pixel. In the solid state image pickup device of this invention shown in Embodiment 8 from Embodiment 1, the signal (G signal and a R/B signal) of the pixel obtained from two output terminals is outputted with the same driving clock. Therefore, drive frequency is one half of the frequency of the frequency of the scanning clock (PIXCLK) decided by a pixel number. Therefore, if horizontal output timing is seen on the basis of the scanning head pixel of the 1st channel, By the 1st channel, the line which is outputted to the timing suitable for a pixel and is early outputted by 1 pixel by the 2nd channel, and the line which is early outputted by 1 pixel by the 1st channel, and is early outputted by 2 pixels by the 2nd channel will be arranged by turns.

[0079]As for this device, the line sequential signal of the 1st channel of the above, R, and B is outputted for G signal as the 2nd channel. G signal is the same frequency as the signal output frequency of a solid state image pickup

device, and an AD translation is carried out to an output signal according to timing. AD translation frequency is $1/2$ of PIXCLK. Since G signal is the 1st channel output, it switches the signal which does not shift timing horizontally, and the signal delayed by 1 pixel by DL82 (DFF to which substance synchronized with PIXCLK) for every line by switching signal HMPX in MPX84, Both of the signals take timing by DFF86 in sync with PIXCLK corresponding to a picture element position, and are sent to the signal processing part 89. It has sent a G-pixel signal each to the signal processing part as a size for 2 pixels horizontally on account of signal processing. This inserts a black pixel (0 level signals) in the pixel by which the colored filter of green (G) is not arranged, and may be made to be outputted to it.

[0080]After signal processing of the 2nd channel with which B signal and R signal are outputted to line sequential is carried out like the 1st channel (G signal), it is delayed by 1 more pixel by DFF88, and is sent to the signal processing part 89. The signal processing part 89 is a signal processing part for Bayer arrays, performs signal processing, such as color separation of R/B, pixel interpolation of the vacancy of each RGB color, and gamma processing, and is outputted as a RGB code which has a chrominance signal of all RGB in all the pixels.

[0081]

[Effect of the Invention]The solid state image pickup device by this invention can reduce the fixed pattern noise of the signal outputted from the pixel or photoelectric conversion part arranged in checkers, and is effective in a S/N ratio improving as explained in full detail above. If at least one kind of colored filter is arranged to the solid state image pickup device of this invention in checkers and a color video image signal is made to output to it, it will become possible to acquire the color video image signal with which the fixed pattern noise was reduced, and to obtain good image quality. Especially when the colored filter of such arrangement is used for the solid state image pickup device of this invention, it is preferred.

[0082]In the solid state image pickup device of this invention, if superficial shape of a shielding region is made the same by the pixel (or photoelectric conversion part) of the oddth line, and the pixel (or photoelectric conversion part) of the eventh line, a fixed pattern noise decreases and it is effective in a S/N ratio improving. If sectional shape of the whole pixel containing wiring, an insulator layer, etc. is also made the same, a fixed pattern noise will decrease further and a S/N ratio will improve further.

[0083]If an outputting part is arranged to the pixel of the solid state image pickup device of this invention, it will become possible to output the signal (for example, the signal by which electric charge amplification was carried out and the signal

by which current amplification was carried out) changed by the electric charge produced in the photoelectric conversion part. The signal charge accumulated in the outputting part is held until it is initialized. Therefore, it also becomes possible to read two or more times with such composition.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is a circuit diagram showing the outline of the solid state image pickup device by Embodiment 1 of this invention.

[Drawing 2] It is a circuit diagram showing the outline of the solid state image pickup device by Embodiment 2 of this invention.

[Drawing 3] It is a circuit diagram of the solid state image pickup device by Embodiment 3 of this invention.

[Drawing 4] It is a circuit diagram showing the composition of the solid state image pickup device by Embodiment 4 of this invention.

[Drawing 5] It is a top view of two or more pixels of the solid state image pickup device concerning Embodiment 4.

[Drawing 6] It is a top view of one pixel of the solid state image pickup device

concerning Embodiment 4.

[Drawing 7] It is the sectional view which met X1-X2 line of drawing 6.

[Drawing 8] It is the sectional view which met Y1-Y2 line of drawing 6.

[Drawing 9] It is the sectional view which met Y3-Y4 line of drawing 6.

[Drawing 10] It is a circuit diagram showing the composition of the solid state image pickup device by Embodiment 5 of this invention.

[Drawing 11] It is a top view of two or more pixels arranged at the matrix form of the solid state image pickup device concerning Embodiment 5. It is a top view of the solid state image pickup device by Embodiment 5 of this invention.

[Drawing 12] It is a top view of one pixel of the solid state image pickup device concerning Embodiment 5 of this invention.

[Drawing 13] It is the sectional view which met X1-X2 line of drawing 12.

[Drawing 14] It is the sectional view which met Y1-Y2 line of drawing 12.

[Drawing 15] It is the sectional view which met Y3-Y4 line of drawing 12.

[Drawing 16] It is a top view of two or more pixels arranged at the matrix form of the solid state image pickup device concerning Embodiment 6 of this invention.

[Drawing 17] It is a circuit diagram showing the outline of the solid state image pickup device by Embodiment 7 of this invention.

[Drawing 18] It is a lineblock diagram showing the outline of the solid state image pickup device by Embodiment 8 of this invention.

[Drawing 19]It is a top view of the field 300 surrounded with the dashed line of drawing 18.

[Drawing 20]It is the sectional view which met X1-X2 line of drawing 19.

[Drawing 21]It is the sectional view which met X3-X4 line of drawing 19.

[Drawing 22]It is a lineblock diagram showing an example of the signal processor which processes the signal outputted from the solid state image pickup device concerning this invention.

[Drawing 23]It is a circuit diagram showing the main composition of the conventional X-Y address type solid state image pickup device.

[Drawing 24]It is a top view of two or more pixels arranged at the matrix form of the conventional X-Y address type solid state image pickup device.

[Drawing 25]It is an outline lineblock diagram of the conventional CCD type solid state image pickup device.

[Drawing 26]It is a sectional view of the CCD type solid state image pickup device which met X1-X2 line of drawing 25.

[Drawing 27]It is a figure showing an example of a color filter array.

[Drawing 28]It is a figure showing other examples of a color filter array.

[Description of Notations]

1 Photo-diode

2 JFET

- 3 Transfer gate
- 4 Reset drain
- 5 Reset gate
- 6a Overflow control field
- 7 Vertical scanning circuit
- 8 Horizontal scanning circuit
- 9a-9c Selecting line
- 10 P-type semiconductor board
- 11 N type well area
- 12 P type charge storage field
- 13 A high-concentration N-type semiconductor field
- 14 N type source region
- 15 P type gate region
- 16 N type drain region
- 17 N type channel regions
- 18 P type electric charge discharge region
- 20, 20a - 20c transfer gate wiring
- 21, 21a-21c Reset gate wiring
- 22, 22a-22d Vertical signal wire
- 23 Relay wiring

24, 24a - 24c reset drain wiring

26a-26d Constant current source

27a-27d Horizontal signal line

28a-28d Output buffer amplifier

29a-29d Sequence buffer amplifier

33 Insulator layer

34a, 34b differential amplifier

35a and 35b Output terminal

41 Photo-diode

42 Line selection transistor

51 Photo-diode

52 Output transistor

53 Reset transistor

54 Line selection transistor

55a-55c Reset gate wiring

56a-56c Selecting line

80, 81 A/D converters

82 and 83 Delay element

84 and 85 Multiplexer

86, 87, 88 D flip-flops

89 The signal processing part for Bayer arrays

100 A high-concentration N-type semiconductor board

101 N-type semiconductor layer

200 N-type semiconductor board

201 P type well area

202 Insulator layer

210 Photo-diode

211 N type charge storage field

212 A high-concentration P-type semiconductor region

220 Vertical transfer register

221 N type transmission channel region

222 The 2nd P type well area

223,224,225 Transfer electrode

226 Light-shielding film

230 P type channel stopper

240a, a 240b horizontal transfer register

250a and 250b Charge detector

260a and 260b Output terminal

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-12819

(P2000-12819A)

(43) 公開日 平成12年1月14日 (2000.1.14)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード (参考)
H 0 1 L 27/146		H 0 1 L 27/14	A 4 M 1 1 8
27/148		H 0 4 N 5/335	E 5 C 0 2 4
27/14		9/07	A 5 C 0 6 5
H 0 4 N 5/335		H 0 1 L 27/14	B
9/07			D

審査請求 未請求 請求項の数12 O L (全 17 頁)

(21) 出願番号 特願平10-169874
(22) 出願日 平成10年6月17日 (1998. 6. 17)

(71) 出願人 000004112
株式会社ニコン
東京都千代田区丸の内3丁目2番3号
(72) 発明者 磯貝 忠男
東京都千代田区丸の内3丁目2番3号 株式会社ニコン内
(72) 発明者 壽國 正博
東京都千代田区丸の内3丁目2番3号 株式会社ニコン内

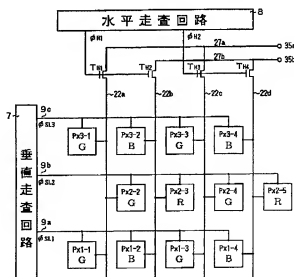
最終頁に続く

(54) 【発明の名称】 固体撮像素子

(57) 【要約】

【課題】並列出力構成であって、且つ、市松状に配置された画素（又は光電変換部）の信号ばらつきが低減され、S/N比が高い固体撮像素子を提供する。

【解決手段】市松状に配置された特定画素の信号は、2つの水平信号線（又は水平転送レジスタ）の内の一方に出力され、または一つの出力端子から外部に出力される。本発明は、市松状に配置された色フィルタを使用し、てカラー撮像するのに好適である。



【特許請求の範囲】

【請求項 1】 2次元マトリクス状に配置された複数の画素と、前記画素の信号を出力する複数の出力端子とを備えた X-Y アドレス型固体撮像素子であって、前記画素のうち、市松状に配置された特定画素の信号が 1つの出力端子から出力され、他の画素の信号が他の出力端子から出力されることを特徴とする固体撮像素子。

【請求項 2】 2次元マトリクス状に配置された複数の画素と、前記画素が接続された複数の垂直信号線と、スイッチを介して前記垂直信号線が接続された 2つの水平信号線とを備えた固体撮像素子であって、前記垂直信号線のそれぞれには、隣り合う 2列の画素列のうち一方の画素列の奇数行目の画素、及び、他方の画素列の偶数行目の画素が接続され、一方の前記水平信号線には奇数番目の前記垂直信号線が接続され、他方の前記水平信号線には偶数番目の前記垂直信号線が接続されていることを特徴とする固体撮像素子。

【請求項 3】 前記画素は、入射光に応じた電荷を生成する光電変換部と、前記電荷に応じた信号を垂直信号線に出力する出力部とを有することを特徴とする請求項 1又は2に記載の固体撮像素子。

【請求項 4】 前記画素は前記電荷を前記光電変換部から前記出力部に転送する転送部と、前記出力部を制御する制御部とをさらに有することを特徴とする請求項 3記載の固体撮像素子。

【請求項 5】 前記画素の一部に遮光領域が形成され、奇数行目に配置された画素と偶数行目に配置された画素と、前記遮光領域の形状が同一であることを特徴とする請求項 1から請求項 4のいずれかに記載の固体撮像素子。

【請求項 6】 前記画素に対応して複数の種類の色フィルタが配置され、少なくとも一種類の前記色フィルタが市松状に配置されていることを特徴とする請求項 1から請求項 5のいずれかに記載の固体撮像素子。

【請求項 7】 前記画素に対応して、緑の色フィルタが市松状に配置され、その他の前記画素に対応して、赤と青の色フィルタが線順次に配置されていることを特徴とする請求項 1から請求項 5のいずれかに記載の固体撮像素子。

【請求項 8】 2次元マトリクス状に配置された複数の光電変換部と、前記光電変換部の信号を出力する複数の出力端子とを備えた C D 型固体撮像素子であって、前記光電変換部のうち、市松状に配置された特定の光電変換部の信号が 1つの出力端子から出力され、他の光電変換部の信号が他の出力端子から出力されることを特徴とする固体撮像素子。

【請求項 9】 2次元マトリクス状に配置された複数の

光電変換部と、前記光電変換部から信号電荷を受け取り列方向に転送する複数の垂直転送レジスタと、前記垂直転送レジスタから前記信号電荷を受け取り、行方向に転送する 2つの水平転送レジスタとを備えた固体撮像素子であって、前記垂直転送レジスタのそれぞれは、隣り合う 2列の光電変換部のうち一方の列の奇数行目の光電変換部、及び、他方の列の偶数行目の光電変換部から信号電荷を受け取り、

一方の前記水平転送レジスタは奇数番目の前記垂直転送レジスタから信号電荷を受け取り、他方の前記水平転送レジスタは偶数番目の前記垂直転送レジスタから信号電荷を受け取ることを特徴とする固体撮像素子。

【請求項 10】 前記光電変換部の一部に遮光領域が形成され、奇数行目に配置された光電変換部と偶数行目に配置された光電変換部と、前記遮光領域の形状が同一であることを特徴とする請求項 8または請求項 9のいずれかに記載の固体撮像素子。

【請求項 11】 前記光電変換部に対応して複数の種類の色フィルタが配置され、少なくとも一種類の前記色フィルタが市松状に配置されていることを特徴とする請求項 8から請求項 10のいずれかに記載の固体撮像素子。

【請求項 12】 前記光電変換部に対応して、緑の色フィルタが市松状に配置され、その他の前記光電変換部に対応して、赤と青の色フィルタが線順次に配置されていることを特徴とする請求項 8から請求項 10のいずれかに記載の固体撮像素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、固体撮像素子に関するものであり、さらに詳しくは、並列出力構成の固体撮像素子に関するものである。本発明の固体撮像素子は、市松状に配置された色フィルタを使用してカラー撮像するのに好適である。

【0002】

【従来の技術】 固体撮像素子は、これまでに X-Y アドレス型や C D 型など様々な方式が提案され、実用化に至っている。まず、従来の X-Y アドレス型固体撮像素子を図面を参照して説明する。図 23 は、従来の X-Y アドレス型固体撮像素子の主な構成を示す回路図である。従来の X-Y アドレス型固体撮像素子は、2次元マトリクス状に配置された複数の画素 $P_{x1-1} \sim P_{x3-4}$ 4と、上記画素が接続された垂直信号線 $22a \sim 22d$ 4と、列バッファアンプ $29a \sim 29d$ 4、クランプ容量 $C_{c1} \sim C_{c4}$ 4、列選択トランジスタ $TH1 \sim TH4$ 4を介して上記垂直信号線が接続された水平信号線 $27a$ 、 $27b$ 2と、水平信号線に接続された出力バッファアンプ $28a$ 、 $28b$ 2と、各画素 $P_{x1-1} \sim P_{x3-4}$ 4を駆動する垂直走査回路 7 と、各列選択トランジスタ $TH1$

～TH4を駆動する水平走査回路8から構成されている。

【0003】水平信号線は、図示されたように複数配置される。画素数が少ない固体撮像素子ならば、1系列の水平信号線でも良い。しかし、画素数が増大すると感度や動作速度が不足するという問題が生じるので、複数の水平信号線を形成し並列に出力するのがより好ましい。画素 $P \times 1-1 \sim P \times 3-4$ の信号は、JFET2のソース(S)から垂直信号線22a～22dに出力され、列バッファアンプ29a～29d、クランプ容量Cc1～Cc4、列選択トランジスタTH1～TH4を経由して水平信号線27a、27bに出力され、出力バッファアンプ28a、28bを経て出力端子35a、35bから出力(Vout1、Vout2)される。

【0004】なお、クランプ容量Cc1～Cc4と列選択トランジスタTH1～TH4の間にはランプトランジスタTc1～Tc4が接続され、クランプ容量の一方の電極に一定電圧(図23では接地電位GND)を印加できるようになっている。これは、各画素で生ずるノイズを除去するために配置される。次に図23、図24を参照しながら画素構造を説明する。図24は、マトリクス状に配置された複数の画素の平面図である。各画素は、入射光に応じた電荷を生成して蓄積するフォトダイオード1と、ソースフォロワ動作により上記電荷に応じた信号をソース(S)から出力する接合型電界効果トランジスタ(以下、JFETという)2と、上記電荷をフォトダイオード1からJFET2に転送する転送ゲート3と、JFET2を制御するリセットドレイン4とリセットゲート5から構成されている。そして、各JFET2は、列毎に垂直信号線22a～22dに接続されている。なお、単位画素構造に関しては、特開平8-293591にその詳細が開示されている。

【0005】次に、従来のCCD型固体撮像素子を図面を参照して説明する。図25は、従来のCCD型固体撮像素子の概略構成図である。本素子は、2次元マトリクス状に配置された複数のフォトダイオード210と、フォトダイオード210から信号電荷を受け取り列方向に転送する複数の垂直転送レジスタ220と、垂直転送レジスタ220から信号電荷を受け取り行方向に転送する水平転送レジスタ240a、240bと、電荷検出部250a、250bから構成されている。

【0006】フォトダイオード210で生成された信号電荷は、垂直転送レジスタ220、水平転送レジスタ240a、240bを転送され、電荷検出部250a、250bで電圧信号に変換されて、出力端子260a、260bから出力(Vout1、Vout2)される。図26は、図25のX1～X2線に沿ったCCD型固体撮像素子の断面図である。N型半導体基板200上には、P型ウエル201が設けられる。フォトダイオード210は、このP型ウエル中に配置される。

【0007】フォトダイオード210で生成された信号電荷は、N型電荷蓄積領域211に蓄積される。N型電荷蓄積領域211に蓄積された上記信号電荷は、転送電極224の動作により、先ず垂直転送レジスタ220のN型転送チャネル領域221に転送され、次いで列方向に順次転送される。ところで、固体撮像素子をカラー撮像に使用する場合は、固体撮像素子の各フォトダイオードの上に赤(R)、緑(G)、青(B)のいずれかの色フィルタが配置される。各々の画素は、それぞれの画素に配置されたフィルタに対応する色信号を出力する。

【0008】上記のR、G、Bの各色フィルタの配列は、様々なものが提案されている。図27、図28は、カラー撮像の原図撮像素子に配置させる代表的な色フィルタ配列を示している。図27に示す配列においては、緑(G)の色フィルタが画素に対応して1列おきにストライプ状に配置され、残されたその他の画素に対応して赤(R)及び青(B)の色フィルタが配置されている。

【0009】図28に示す配列においては、緑(G)の色フィルタが市松状に配置され、残されたその他の画素に対応して赤(R)及び青(B)の色フィルタが縦順次に配置(一般にペイヤ配列と呼ぶ)されている。従来の固体撮像素子は、緑(G)の色フィルタが1列おきにストライプ状に配置された、図27に示す色フィルタ配列が好適である。それは、輝度信号の主成分となる緑(G)の色フィルタを備えた画素の信号が、1つの水平信号線(図23の27aまたは27b)、または1つの水平転送レジスタ(図25の240a、または240b)を経由して、一つの出力端子(図23の35aまたは35b、図25の260aまたは260b)から出力されるため、後段の信号処理が容易になると同時に、固定パターンノイズが減少して、映像信号のS/N比が向上するためである。

【0010】

【発明が解決しようとする課題】しかしながら、従来の固体撮像素子は、例えば、緑(G)の色フィルタが市松状に配置された図28に示す色フィルタ配列を備えた時に、固定パターンノイズが発生し、S/N比が低下するという問題点があった。これは、市松状に配置された画素の信号が、2つの異なる経路(水平信号線または水平転送レジスタ)を経て、2つの異なる出力端子から出力されるためである。

【0011】本発明は、上記課題を鑑みてなされたものであり、並列出力構成であって、且つ、市松状に配置された画素(又は光電変換部)の信号ばらつきが低減され、S/N比が高い固体撮像素子を提供することを目的とする。

【0012】

【課題を解決するための手段】請求項1に記載の発明は、2次元マトリクス状に配置された複数の画素と、前

5

記画素の信号を出力する複数の出力端子とを備えたX-Yアドレス型固体撮像素子であって、前記画素のうち、市松状に配置された特定画素の信号が1つの出力端子から出力され、他の画素の信号が他の出力端子から出力されることを特徴とするものである。

【0013】市松状に配置された画素の信号が1つの出力端子から出力されるため、市松状に配置された画素から出力される信号の固定パターンノイズは減少し、S/N比が向上する。特に、市松状配列の色フィルタを備えたときに好適である。請求項2に記載の発明は、2次元マトリクス状に配置された複数の画素と、前記画素が接続された複数の垂直信号線と、スイッチを介して前記垂直信号線が接続された2つの水平信号線とを備えた固体撮像素子であって、前記垂直信号線のそれぞれは、隣り合う2列の画素列のうち一方の画素列の奇数行目の画素、及び、他方の画素列の偶数行目の画素が接続され、一方の前記水平信号線には奇数番目の前記垂直信号線が接続され、他方の前記水平信号線には偶数番目の前記垂直信号線が接続されていることを特徴とするものである。

【0014】この構成により、市松状に配置された画素の信号は、1つの水平信号線を経由して出力されるため、固定パターンノイズが減少し、S/N比が向上する。特に、市松状配列の色フィルタを備えたときに好適である。請求項3に記載の発明は、請求項1又は2に記載された固体撮像素子において、前記画素は、入射光に応じた電荷を生成する光電変換部と、前記電荷に応じた信号を垂直信号線に出力する出力部とを有することを特徴とするものである。また、請求項4に記載の発明は、請求項3に記載された固体撮像素子において、前記画素は前記電荷を前記光電変換部から前記出力部に転送する転送部と、前記出力部を制御する制御部とをさらに有することを特徴とするものである。

【0015】これらの構成により、入射光で生じた電荷そのものではなく、この電荷によって変換された信号（例えば電荷増幅された信号や電流増幅された信号）を出力することが可能となる。請求項5に記載の発明は、請求項1から請求項4のいずれかに記載の固体撮像素子であって、前記画素の一部に遮光領域が形成され、奇数行目に配置された画素と偶数行目に配置された画素で、前記遮光領域の形状が同一であることを特徴とするものである。

【0016】この構成により、各画素の受光特性が同一となり、固定パターンノイズが減少し、S/N比が向上する。請求項6に記載の発明は、請求項1から請求項5のいずれかに記載された固体撮像素子であって、前記画素に対応して複数の種類の色フィルタが配置され、少なくとも一種類の前記色フィルタが市松状に配置されていることを特徴とする。

【0017】カラー撮像する場合、固体撮像素子の各画

6

素には、色フィルタが配置される。色フィルタは、一般に複数の色の種類が有る。請求項7の発明は、この複数の色フィルタの内、少なくとも一種の色フィルタが市松状に配置される。このため、この色に対応する信号は固定パターンノイズが減少し、S/N比が向上する。請求項7に記載の発明は、請求項1から請求項5のいずれかに記載された固体撮像素子であって、前記画素に対応して、緑の色フィルタが市松状に配置され、その他の前記画素に対応して、赤と青の色フィルタが順次配置されていることを特徴とするものである。この請求項は、具体的な色フィルタの種類を示したものである。

【0018】請求項8に記載の発明は、2次元マトリクス状に配置された複数の光電変換部と、前記光電変換部の信号を出力する複数の出力端子とを備えたCCD型固体撮像素子であって、前記光電変換部のうち、市松状に配置された特定の光電変換部の信号が1つの出力端子から出力され、他の光電変換部の信号が他の出力端子から出力されることを特徴とするものである。

【0019】市松状に配置された光電変換部の信号が1つの出力端子から出力されるため、市松状に配置された光電変換部から出力される信号の固定パターンノイズは減少し、S/N比が向上する。特に、市松状配列の色フィルタを備えたときに好適である。請求項9に記載の発明は、2次元マトリクス状に配置された複数の光電変換部と、前記光電変換部から信号電荷を受け取り列方向に転送する複数の垂直転送レジスタと、前記垂直転送レジスタから前記信号電荷を受け取り、行方向に転送する2つの水平転送レジスタとを備えた固体撮像素子であって、前記垂直転送レジスタのそれぞれは、隣り合う2列の光電変換部のうち一方の列の奇数行目の光電変換部、及び、他方の列の偶数行目の光電変換部から信号電荷を受け取り、一方の前記水平転送レジスタは奇数番目の前記垂直転送レジスタから信号電荷を受け取り、他方の前記水平転送レジスタは偶数番目の前記垂直転送レジスタから信号電荷を受け取ることを特徴とするものである。

【0020】市松状に配置された光電変換部の信号は、1つの水平転送レジスタを経由して出力される。このため、固定パターンノイズが減少し、S/N比が向上する。市松状配列の色フィルタを備えたときに特に好適である。請求項10に記載の発明は、請求項8または請求項9のいずれかに記載の固体撮像素子であって、前記光電変換部の一部に遮光領域が形成され、奇数行目に配置された光電変換部と偶数行目に配置された光電変換部で、前記遮光領域の形状が同一であることを特徴とするものである。

【0021】この構成により、各光電変換部の受光特性が同一となり、固定パターンノイズが減少し、S/N比が向上する。請求項11に記載の発明は、請求項8から請求項10のいずれかに記載された固体撮像素子であって、前記光電変換部に対応して複数の種類の色フィルタ

が配置され、少なくとも一種類の前記色フィルタが市松状に配置されていることを特徴とする。

【0022】カラー撮像する場合、固体撮像素子の各光電変換部には、色フィルタが配置される。色フィルタは、一般に複数の色の種類が有る。請求項1の発明は、この複数の色フィルタの内、少なくとも一色の色フィルタが市松状に配置される。このため、この色に対応する信号は固定パターンノイズが減少し、 S/N 比が向上する。

【0023】請求項12に記載の発明は、請求項8から請求項10のいずれかに記載された固体撮像素子であって、前記光電変換部に対応して、緑の色フィルタが市松状に配置され、その他の前記光電変換部に対応して、赤と青の色フィルタが縦順次配置されていることを特徴とする。この請求項は、具体的な色フィルタの種類を示したものである。

【0024】

【発明の実施の形態】以下、本発明の実施の形態を図面を参照して説明する。なお、各図中、同一符号は同一または相当部分を示し、重複する説明は省略する。

【実施形態1】図1は、本発明の実施形態1による固体撮像素子の概略を示す回路図である。

【0025】実施形態1による固体撮像素子は、 $X-Y$ アドレス型固体撮像素子であり、2次元マトリクス状に配置された複数の画素 $Px1-1 \sim Px3-4$ と、隣り合う2列の画素が1画素おきに交互に接続された垂直信号線 $22a \sim 22d$ と、列選択トランジスタ $TH1 \sim TH4$ を介して垂直信号線 $22a \sim 22d$ が交互に接続された水平信号線 $27a, 27b$ と、水平信号線 $27a, 27b$ に設けられた出力端子 $35a, 35b$ と、各画素 $Px1-1 \sim Px3-4$ を駆動する垂直走査回路7と、各列選択トランジスタ $TH1 \sim TH4$ を駆動する水平走査回路8から構成されている。

【0026】なお、実際の本実施形態の固体撮像素子の画素は、行方向、列方向ともに100以上配置される。図1（並びに別の実施形態を示す各回路図）は、便宜上その一部を示している。ここでは、画素数を上記のようにしたが、本発明は、これに限られるものではない。例えば、用途に応じて画素は、行方向、列方向とも100以上配置させてもよい。

【0027】実施形態1の固体撮像素子は、垂直信号線 $22a \sim 22d$ のそれぞれに、隣り合う2列の画素列のうち一方の画素列の奇数行目の画素と他方の画素列の偶数行目の画素が接続され、また、2つの水平信号線を有している。即ち、垂直信号線 $22a$ は、一行目が図面において向かって左側の画素（ $Px1-1$ ）、二行目が右側の画素（ $Px2-2$ ）、三行目が左側の画素（ $Px3-1$ ）を接続している。そして、垂直信号線 $22a, 22c$ は、列選択トランジスタ $TH1, TH3$ を介して一方の水平信号線 $27a$ に接続される。垂直信号線 22

$b, 22d$ は列選択トランジスタ $TH2, TH4$ を介して他方の水平信号線 $27b$ に接続される。

【0028】このように接続すれば $Px1-1, Px1-3, Px2-2, Px2-4, Px3-1, Px3-3$ の画素（市松状に配置された画素）から出力される信号は、同じ水平信号線を經由して固体撮像素子の外部に出力することが可能となる。同じ水平信号線を經由するので、固定パターンノイズは低減される。また、緑（G）の色フィルタが市松状に設けられて、対応する画

素（ $Px1-1, Px1-3, Px2-2, Px2-4, Px3-1, Px3-3$ ）上に配置される。残されたその他の画素には、赤（R）と青（B）の色フィルタが縦順次に配置（ベイヤ配列）される。

【0029】この様に色フィルタを配置させると、緑（G）の信号が同じ水平信号線 $27a$ を經由して出力端子 $35a$ から出力される。また、赤（R）と青（B）の信号は、他方の水平信号線 $27b$ を經由して出力端子 $35b$ から出力される。以上のように、実施形態1の固体撮像素子は、市松状に配置された緑（G）の色フィルタを備えた画素の信号が、1つの水平信号線 $27a$ を經由して、1つの出力端子 $35a$ から出力される。従って、従来の $X-Y$ アドレス型固体撮像素子と比べて、後段の信号処理が容易になると同時に、固定パターンノイズが減少し、 S/N 比が向上する。

【実施形態2】図2は、本発明の実施形態2による固体撮像素子の概略を示す回路図である。

【0030】実施形態2による固体撮像素子は、 $X-Y$ アドレス型固体撮像素子であり、1つの画素（例えば $Px1-1$ ）が入射光に応じた電荷を生成して蓄積するフォトダイオード41と、フォトダイオード41の電荷を垂直信号線 $22a$ に転送する行選択トランジスタ42から構成されている。各画素は、フォトダイオード41以外の領域を遮光性を有する膜（遮光膜）で被覆し、奇数行目の画素と偶数行目の画素で、遮光領域の形状を同一としてもよい。このようにすれば、奇数行目の画素と偶数行目の画素は、受光部の面積、形状、光学的重心の位置が同一となり、受光特性のパラッキが低減される。その他の構成は、実施形態1の固体撮像素子と同一である。

【0031】また、各画素 $Px1-1 \sim Px3-4$ のフォトダイオード41に対応して、実施形態1の固体撮像素子と同様に、赤（R）、緑（G）、青（B）の各色フィルタが配置されている。このため、緑（G）の信号は、すべて一方の水平信号線 $27a$ を經由して出力端子 $35a$ から出力される。また、赤（R）と青（B）の信号は、他方の水平信号線 $27b$ を經由して出力端子 $35b$ から出力される。

【0032】従って、実施形態2の固体撮像素子は、実施形態1の固体撮像素子と同様、後段の信号処理が容易になると同時に、固定パターンノイズが減少し、 S/N

比が向上する。

【実施形態 3】図 3 は、本発明の実施形態 3 による固体撮像素子の概略を示す回路図である。

【0033】実施形態 3 による固体撮像素子は、X-Y アドレス型固体撮像素子であり、1つの画素（例えば $P \times 1-1$ ）が入射光に応じた電荷を生成して蓄積するフォトダイオード 51 と、フォトダイオード 51 の電位を検出しソースフォロワ動作によりソース（S）から出力するトランジスタ 52 と、トランジスタ 52 のソース（S）と垂直信号線 22a とを接続する行選択トランジスタ 54 と、フォトダイオード 51 とトランジスタ 52 を初期化するリセットトランジスタ 53 から構成されている。なお、フォトダイオード 51 の電位は、蓄積された電荷の量に応じて変動する。

【0034】画素 $P \times 1-1 \sim P \times 3-4$ の信号は、トランジスタ 52 のソース（S）から行選択トランジスタ 54 を介して垂直信号線 22a \sim 22d に出力され、列バッファアンプ 29a \sim 29d、クランプ容量 Cc1 \sim Cc4、列選択トランジスタ TH1 \sim TH4 を経由して水平信号線 27a、27b に出力され、出力バッファアンプ 28a、28b を経て、出力端子 35a、35b から出力（Vout1、Vout2）される。

【0035】ところで、各画素と垂直信号線 22a \sim 22d との接続関係は実施形態 1 と同様であり、垂直信号線 22a \sim 22d のそれぞれに隣り合う 2 列の画素が 1 画素おきに交互に接続される。また、垂直信号線 22a \sim 22d は、垂直負荷容量 Cv1 \sim Cv4 に接続されるとともに、列バッファアンプ 29a \sim 29d、クランプ容量 Cc1 \sim Cc4 を介してクランプトランジスタ TC1 \sim TC4 に接続され、さらに列選択トランジスタ TH1 \sim TH4 を経て、水平信号線 27a、27b に交互に接続される。

【0036】従って、実施形態 3 の固体撮像素子は、実施形態 1 の固体撮像素子と同様、後段の信号処理が容易になると同時に、固定パターンノイズが減少し、S/N 比が向上する。また、実施形態 3 の固体撮像素子は、実施形態 2 の固体撮像素子と同様に各画素のフォトダイオード 51 以外の領域を遮光膜で被覆し、奇数行目の画素と偶数行目の画素で遮光領域の形状を同一にしても良い。

【0037】また、垂直負荷容量 Cv1 \sim Cv4 によってトランジスタ 52 のソースフォロワ動作の帯域が制限されるためノイズがさらに減少する。即ち、本実施形態の固体撮像素子は、フォトダイオード 51 が信号電荷を蓄積した時のソースフォロワ出力と、フォトダイオード 51 の信号電荷をリセットした後のソースフォロワ出力をクランプ容量 Cc1 \sim Cc4 を介して減算処理する。この処理によって、トランジスタ 52 のしきい値電圧のばらつきによる固定パターンノイズ、ソースフォロワ動作時の 1/f ノイズ、列バッファアンプ 29a \sim 29d

のオフセット電圧のばらつきによる固定パターンノイズは減少し、S/N 比がさらに向上する。

【実施形態 4】図 4 は、本発明の実施形態 4 による固体撮像素子の構成を示す回路図である。実施形態 4 による固体撮像素子は X-Y アドレス型固体撮像素子であり、実施形態 3 の固体撮像素子とは画素構成が異なっている。また、それに伴って、垂直走査回路やそれに接続される走査用の配線が異なる。

【0038】実施形態 4 による固体撮像素子の 1 つの画素、例えば $P \times 1-3$ は、入射光に応じた電荷を生成して蓄積するフォトダイオード 1 と、ソースフォロワ動作により上記電荷に応じた信号をソース S から出力する接合型電圧効果トランジスタ（以下、JFET という）2 と、上記電荷をフォトダイオード 1 から JFET 2 に転送する転送ゲート 3 と、JFET 2 を制御するリセットドレイン 4 とリセットゲート 5 から構成されている。

【0039】その他の構成は、実施形態 3 の固体撮像素子とほぼ同一である。図 5 は、本実施形態に係る固体撮像素子の複数の画素の平面図である。各画素は、フォトダイオード 1、JFET 2、転送ゲート 3、リセットドレイン 4、リセットゲート 5 から構成されている。そして、奇数行目に配置された画素と偶数行目に配置された画素は、構造が反転しており、隣り合う 2 列の画素の JFET 2 が、1 画素おきに交互に垂直信号線 22（図 4 の垂直信号線 22a \sim 22d に対応する）に接続されている。

【0040】転送ゲート 3 は転送ゲート配線 20（図 4 の転送ゲート配線 20a \sim 20c に対応する）に、リセットゲート 5 はリセットゲート配線 21（図 4 のリセットゲート配線 21a \sim 21c に対応する）に、それぞれ接続されている。リセットドレイン 4 は、中継配線 23 を介して、リセットドレイン配線 24（図 4 のリセットドレイン配線 24a \sim 24c に対応する）に接続されている（図 7 参照）。

【0041】各画素のフォトダイオード 1 以外の領域は、アルミニウム等の遮光性を有する材料で形成されたリセットドレイン配線 24 及び垂直信号線 22 によって遮光されている。このことにより、奇数行目の画素と偶数行目の画素は、受光領域の面積、形状、光学的重心の位置が同一となる。このため、固定パターンノイズがさらに減少し、S/N 比がさらに向上する。

【0042】本実施形態の固体撮像素子では、上記のように走査用配線や垂直信号線を遮光膜として兼用した。従って、遮光膜として専用の膜を配置させるよりも製造工程が減少する。このため、歩留まりが向上し、製造コストが低減される。しかし、逆に、遮光膜専用にアルミニウム膜を形成し、受光領域が開くようにパターンニングしても良い。このようにすれば、配線を遮光膜に兼用する必要が無く、配線設計の自由度が向上する。

【0043】また、本実施形態の固体撮像素子は、実施

11

形態 1 に係る固体撮像素子と同様に各画素のフォトダイオード 1 に赤 (R)、緑 (G)、青 (B) の各色フィルタを配置している。このため、緑 (G) の信号は、すべて一方の水平信号線 27a を経由して出力端子 35a から出力される。このため、後段の信号処理が容易になると同時に、固定パターンノイズが減少し、S/N 比が向上する。

【0044】以下、図 6～図 9 を参照して実施形態 4 の固体撮像素子の画素構造をさらに詳細に説明する。図 6 は、本実施形態に係る固体撮像素子の 1 つの画素の平面図、図 7 は図 6 の X1-X2 線に沿った断面図、図 8 は図 6 の Y1-Y2 線に沿った断面図、図 9 は図 6 の Y3-Y4 線に沿った断面図である。なお、これらの図において色フィルタは省略されている。

【0045】フォトダイオード 1 は、図 8、図 9 に示すように、P 型半導体基板 10 上に形成された N 型ウエル領域 11、P 型電荷蓄積領域 12、高濃度の N 型半導体領域 13 によって構成される。これにより、NPN 型の縦型オーバーフロードレイン構造で埋込型のフォトダイオードが形成されている。即ち、埋込み型のフォトダイオード (N, P, N) と縦型オーバーフロードレイン構造 (P, N, P) の合わさった構造が形成されている。縦型オーバーフロードレイン構造で埋込型のフォトダイオードの構成は、暗電流、残像、リセットノイズ、ブルーミング、及びスミアを低減する効果をも有する。

【0046】JFET 2 は、図 7、図 8 に示すように、N 型ソース領域 14、P 型ゲート領域 15、N 型ドレイン領域 16、N 型チャネル領域 17 から構成されている。転送ゲート 3 は、図 8 に示すようにフォトダイオード 1 と JFET 2 の境界領域上に絶縁膜 33 を介して形成される。リセットドレイン 4 は、図 7 に示すように N 型ウエル領域 11 中の P 型電荷排出領域 18 から構成されている。リセットゲート 5 は、図 7 に示すように JFET 2 とリセットドレイン 4 の境界領域上に絶縁膜 33 を介して形成されている。

【0047】以上のように、実施形態 4 の固体撮像素子は、市松状に配置された緑 (G) の色フィルタを備えた画素の信号が、1 つの水平信号線 27a、1 つの出力バッファアンプ 28a を経由して、1 つの出力端子 35a から出力される。従って、実施形態 1 の固体撮像素子と同様、後段の信号処理が容易になると同時に、固定パターンノイズが減少し、S/N 比が向上する。

【0048】また、実施形態 4 の固体撮像素子は、各画素のフォトダイオード 1 以外の領域が、リセットドレイン配線 24 及び垂直信号線 22 によって遮光され、奇数行目の画素と偶数行目の画素で、遮光領域の形状が同一であるため、固定パターンノイズが減少し、さらに S/N 比が向上する。また、縦型オーバーフロードレイン構造及び埋込型のフォトダイオード構造のため、暗電流、残像、リセットノイズ、及びブルーミング、スミアが低

12

減される。さらに、垂直負荷容量 $C_{v1} \sim C_{v4}$ によって JFET 2 のソースフォロワ動作の帯域が制限されるためノイズが減少し、さらに S/N 比が向上する。

【0049】更に、初期化後 (信号電荷転送前) の JFET 2 のソースフォロワ出力と、フォトダイオード 1 から JFET 2 へ信号電荷転送後の JFET 2 のソースフォロワ出力を、クランプ容量 $C_{c1} \sim C_{c4}$ を介して減算処理 (いわゆる相関二重サンプリング処理) することによって、JFET 2 のしきい値電圧のばらつきによる固定パターンノイズ、ソースフォロワ動作時の $1/f$ ノイズ、列バッファアンプ 29a～29b のオフセット電圧のばらつきによる固定パターンノイズが低減するばかりでなく、リセットゲート 5 を介して JFET 2 を初期化したときに発生するリセットノイズも低減される。このため、さらに S/N 比が向上する。

【実施形態 5】図 10 は、本発明の実施形態 5 による固体撮像素子の構成を示す回路図であり、図 11 は、そのマトリクス状に配置された複数の画素の平面図である。

【0050】実施形態 5 による固体撮像素子は X-Y アドレス型固体撮像素子であり、実施形態 4 の固体撮像素子とは画素構成が異なる。その他の構成は、実施形態 4 の固体撮像素子と同一であり、その説明は省略する。ここで、図面を参照して本実施形態に係る固体撮像素子の画素構造を説明する。図 12 は、本実施形態に係る固体撮像素子の 1 つの画素の平面図であり、図 13 は図 12 の X1-X2 線に沿った断面図、図 14 は図 12 の Y1-Y2 線に沿った断面図、図 15 は図 12 の Y3-Y4 線に沿った断面図である。

【0051】1 つの画素は、フォトダイオード 1、JFET 2、転送ゲート 3、リセットドレイン 4、1 画素当たり 2 つのリセットゲート 5、1 画素当たり 2 つのオーバーフロー制御領域 6a から構成されている (図 12 参照)。上記フォトダイオード 1、JFET 2、リセットドレイン 4、オーバーフロー制御領域 6a は、高濃度の N 型半導体基板 100 上の N 型半導体層 101 中に設けられる。転送ゲート 3、リセットゲート 5 は、N 型半導体層 101 上に絶縁膜 33 を介して設けられる。

【0052】フォトダイオード 1 は、図 14、図 15 に示すように、高濃度の N 型半導体基板 100 上に形成された N 型半導体層 101、P 型電荷蓄積領域 12、高濃度の N 型半導体領域 13 によって構成される。即ち、NPN 型の埋込フォトダイオードが設けられている。JFET 2 は、図 13、図 14 に示すように、高濃度の N 型半導体基板 100 上の N 型半導体層 101 中に設けられている。従って、JFET 2 のドレイン領域 16 は、N 型半導体層 101 を介して高濃度の N 型半導体基板 100 と電気的に接続されている。従って、高濃度の N 型半導体基板 100 を経由して JFET 2 のドレイン領域 16 にドレイン電圧 V_D (図 10 参照) を供給することができる。高濃度の N 型半導体基板 100 は、電気抵抗が

13

小さいため、たとえ多数の画素を配列しても各 J F E T 毎のドレイン電圧の変動を抑圧することができる。

【0053】このドレイン電圧 V D は、画素領域（画素がマトリクス状に複数配置された領域）の周囲にコンタクトを設けて半導体基板 100 を経由して供給しても、又、半導体基板 100 の裏面にコンタクトを設けて供給しても良い。リセットドレイン 4 の P 型電荷排出領域 18 は、図 13 に示すように、中継配線 23 を介して、リセットドレイン配線 24 に接続されている。

【0054】リセットゲート 5 は、図 12、図 13 に示すように、1 画素当たり 2 つの割合で形成されている。従って、J F E T 2 の P 型ゲート領域 15 とリセットドレイン 4 の P 型電荷排出領域 18 はリセットゲート 5 を介して行方向に直列に接続されている。オーバーフロー制御領域 6 a は、オーバーフローのためにフォトダイオード 1 とリセットドレイン 4 の境界領域に配置される。一般に、過剰な光量がフォトダイオードに入射し、生成した電荷がフォトダイオードの容量（最大電荷蓄積量）を越え、過剰電荷があふれ出しブルミングを生ずる。オーバーフロー制御領域 6 a は、この過剰電荷をリセットドレイン 4 に排出するものであり、ブルミングを防止するものである。オーバーフロー制御領域 6 a は、図 12、図 14、図 15 に示すように、フォトダイオード 1 と、これに隣接する 2 つのリセットドレイン 4 と間に配置される。即ち、オーバーフロー制御領域 6 a は、フォトダイオード 1 とリセットドレイン 4 の境界領域に 1 画素当たり 2 つの割合で配置される。

【0055】このように、本実施形態の固体撮像素子の画素構造は、N P N 型の埋込フォトダイオード 1、オーバーフロー制御領域 6 a、リセットドレイン 4 によって構成され、これにより、埋込み型フォトダイオードと横型オーバーフロードレイン構造が形成されている。ここで、図 10、11 に戻って説明する。本実施形態の固体撮像素子は、上記の画素がマトリクス状に配置される。ところで、行方向（図 10、11 において横方向）に配置された各画素の J F E T 2 のゲート領域とリセットドレイン 4 は、リセットゲート 5 を介して全て直列に接続されている。この構成により、リセットドレイン配線の断線による不良が低減される。即ち、ある画素において、リセットドレイン 4 とリセットドレイン配線 24、24 a ~ 24 c との接続が不完全となる解放モードの不良が発生しても、他の画素のリセットドレイン 4 から上記画素の J F E T 2 と接続される。このため、断線となる可能性が非常に小さくなる。

【0056】その他の構成は実施形態 4 の固体撮像素子と同一である。このため、実施形態 5 の固体撮像素子は、実施形態 4 の固体撮像素子と同様に固定パターンノイズが低減し、S/N 比が向上する。また、実施形態 5 の固体撮像素子は、リセットドレイン 4 への接続が不完全となる解放モードの不良が発生しても J F E T 2 が制

14

御可能なため、製造歩留まりが向上する。

【0057】また、高濃度（低抵抗）の N 型半導体基板 100 を経由して、J F E T 2 のドレイン領域 16 にドレイン電圧 V D を供給するので、ドレイン電圧の画素毎の揺らぎが減少して、固定パターンノイズが減少する。また、フォトダイオード 1 の P 型電荷蓄積領域 12 と、反対導電型の N 型半導体基板 100 を使用している。このため、フォトダイオード 1 深部で発生した信号電荷（この場合は正孔）もフォトダイオード 1 に蓄積され感度が向上する。

【実施形態 6】図 16 は、本発明の実施形態 6 に係る固体撮像素子のマトリクス状に配置された複数の画素の平面図である。

【0058】実施形態 6 の固体撮像素子は X-Y アドレス型固体撮像素子であり、画素に配置されたフォトダイオード 1、J F E T 2、転送ゲート 3、リセットドレイン 4、リセットゲート 5 及びオーバーフロー制御領域 6 a の相対的な位置関係と配線部の形状が実施形態 5 の固体撮像素子と異なっている。即ち、実施形態 6 の固体撮像素子は、リセットドレイン配線 24 で覆われた巡光領域におけるリセットゲート 5、垂直信号線 22、及び中継配線 23 が、奇数行目の画素と偶数行目の画素で同一の形状及び配置となっている。従って、巡光領域の平面的な形状のみならず、配線や絶縁層を含めた画素全体の断面形状まで同一である。このため、受光特性のばらつきがさらに減少する。

【0059】回路図を含むその他の構成は、実施形態 5 の固体撮像素子と同一である（図 10 参照）。従って、実施形態 6 の固体撮像素子は、実施形態 5 の固体撮像素子と同様に固定パターンノイズが低減し、S/N 比、歩留まり、及び感度が向上する。また、実施形態 6 の固体撮像素子は、偶数行目の画素と奇数行目の画素で、配線や絶縁層の断面形状も同一となるため、固定パターンノイズが減少し、さらに S/N 比が向上する。

【実施形態 7】図 17 は、本発明の実施形態 7 による固体撮像素子の概略を示す回路図である。実施形態 7 の固体撮像素子は X-Y アドレス型固体撮像素子であり、垂直信号線 22 a ~ 22 d から出力端子 35 a、35 b までの構成が、実施形態 5 の固体撮像素子と異なっている。

【0060】隣り合う 2 列の画素が 1 画素おきに交互に接続された垂直信号線 22 a ~ 22 d は、信号出力転送用トランジスタ T S 1 ~ T S 4 を介して、信号出力蓄積容量 C S 1 ~ C S 4 に接続されるとともに、列選択トランジスタ T H S 1 ~ T H S 4 を経て、水平信号線 27 a または 27 c（信号出力線）に接続されている。さらに、垂直信号線 22 a ~ 22 d は、暗出力転送用トランジスタ T D 1 ~ T D 4 を介して、暗出力蓄積容量 C D 1 ~ C D 4 に接続されるとともに、列選択トランジスタ H D 1 ~ H D 4 を経て、水平信号線 27 b または 27

15

d (暗出力線) に接続されている。つまり、垂直信号線 22a~22d は、1組の水平信号線 (信号出力線 27a、暗出力線 27b) と他の組の水平信号線 (信号出力線 27c、暗出力線 27d) に交互に接続されている。

【0061】水平信号線 27a~27d は、出力バッファアンプ 28a~28d を介して、差動アンプ 34a、34b に接続されている。このように水平信号線 27a~27d は、4本配置される。しかし、水平信号線 27a と 27b、及び水平信号線 27c と 27d は、対になっている。即ち、2組 (2つ) の水平信号線が配置されている。

【0062】例えば、垂直信号線 22a には画素 P x 1-1、P x 2-2、P x 3-1 が接続される。垂直信号線 22a は、ノイズ (暗出力) を含む光信号を蓄積して出力する経路 (即ち、TS1-CS1-THS1-27a-28a) と、ノイズ (暗出力) を蓄積して出力する経路 (即ち、TD1-CD1-THD1-27b-28b) が接続される。それぞれの経路に接続された出力バッファアンプ 28a 及び 28b は、差動アンプ 34a に接続される。そして、それぞれの経路から出力された信号は、減算処理されて一方の出力端子 35a から出力される。

【0063】一方、垂直信号線 22b には画素 P x 1-2、P x 2-3、P x 3-2 が接続される。そして、垂直信号線 22b は、暗出力を含む光信号を蓄積して出力する経路 (即ち、TS2-CS2-THS2-27c-28c) と、暗出力を蓄積して出力する経路 (即ち、TD2-CD2-THD2-27d-28d) が接続される。それぞれの経路に接続された出力バッファアンプ 28c 及び 28d は差動アンプ 34b に接続され、それぞれの経路から出力された信号は減算処理されて他方の出力端子 35b から出力される。

【0064】ここで、本実施形態の固体撮像素子の動作を簡単に説明する。まず、初期化後 (信号電荷転送前) の J F E T 2 のソースフォロウ出力 (暗出力) を CD1~CD4 に蓄積する。次に、フォトダイオード 1 から J F E T 2 へ信号電荷転送後の J F E T 2 のソースフォロウ出力 (信号出力、暗出力成分を含む) を CS1~CS4 に蓄積する。次いで、列選択トランジスタ THS1~THS4、THD1~THD4、水平信号線 27a~27d、出力バッファアンプ 28a~28d を介して、差動アンプ 34a、34b にて、信号出力と暗出力を減算処理する。この動作によって、いわゆる相関二重サンプリング処理がなされ、暗出力成分が差し引かれた真の信号出力が得られる。

【0065】なお、ここに記載した暗出力には「J F E T 2 のしきい値電圧のばらつきによる固定パターンノイズ」「列バッファアンプ 29a~29d のオフセット電圧のばらつきによる固定パターンノイズ」「ソースフォロウ動作時の 1/f ノイズ」「J F E T 2 を初期化した

16

ときのリセットノイズ」が含まれる。なお、外部のノイズの影響を避けるため、出力バッファアンプ 28a~28d は、固体撮像素子の内部に設けることが好ましい。一方、差動アンプ 34a、34b は、固体撮像素子の外部に設けても良い。

【0066】また、緑 (G) の色フィルタを市松状に設けて対応する画素 (P x 1-1、P x 1-3、P x 2-2、P x 2-4、P x 3-1、P x 3-3) 上に配置しているため、緑 (G) の信号は、すべて一方の組の水平信号線 27a、27b を経由して出力端子 35a から出力される。また、赤 (R) と青 (B) の信号は、他方の組の水平信号線 27c、27d を経由して出力端子 35b から出力される。このため、後段の信号処理が容易になると同時に、固定パターンノイズが減少し、S/N 比が向上する。

【実施形態 8】図 18 は、本発明の実施形態 8 による固体撮像素子の概略を示す構成図である。実施形態 8 による固体撮像素子は、CCD 型固体撮像素子であり、2次元マトリクス状に配置された複数のフォトダイオード 210 と、隣り合う 2 列のフォトダイオード 210 から 1 つおきに交互に信号電荷を受け取り、列方向に転送する複数の垂直転送レジスタ 220 と、垂直転送レジスタ 220 から信号電荷を受け取り行方向に転送する 2 つの水平転送レジスタ 240a、240b と、電荷検出部 250a、250b を有している。

【0067】水平転送レジスタ 240a、240b の間には振り分け転送電極 (図示せず) が配置され、この電極によって信号電荷が水平転送レジスタ 240a または水平転送レジスタ 240b のいずれかに転送される。φV1~φV3 は垂直転送レジスタ 220 の転送電極 (後述) に印加されるパルス電圧であり、φHG は水平転送レジスタ 240a、240b 間の振り分け転送電極に印加されるパルス電圧である。

【0068】また、各フォトダイオード 210 には実施形態 1 と同様な配列で赤 (R)、緑 (G)、青 (B) の色フィルタが配置される。フォトダイオード 210 で生成された信号電荷は、垂直転送レジスタ 220、水平転送レジスタ 240a、240b を転送され、電荷検出部 250a、250b で電圧信号に変換されて、出力端子 260a、260b から出力 (Vout1、Vout2) される。

【0069】このように、実施形態 8 の固体撮像素子は、垂直転送レジスタ 220 のそれぞれが、隣り合う 2 列のフォトダイオード 210 から 1 つおきに交互に信号電荷を受け取っている。即ち、各々の垂直転送レジスタは、一行目が図面において向かって左側の画素、二行目が右側の画素、三行目が左側の画素から電荷信号を受け取る。

【0070】そして、垂直転送レジスタ 220 のそれぞれから出力される信号電荷は、交互に水平信号レジスタ

17

240a、240bに転送される。このように接続すれば、市松状に配置された画素から出力される信号電荷は、同じ水平転送レジスタを経由して固体撮像素子の外部に出力される。同じ水平転送レジスタを経由するので、固定パターンノイズは低減される。

【0071】以下、図19～図21を参照して実施形態4の固体撮像素子の画素構造をさらに詳細に説明する。図19は図18の破線で囲まれた領域300の平面図、図20は図19のX1-X2線に沿った断面図、図21は図19のX3-X4線に沿った断面図である。なお、同図において色フィルタは省略されている。フォトダイオード210は、図20に示すように、N型半導体基板200上に形成されたP型ウェル領域201、N型電荷蓄積領域211、高濃度のP型半導体領域212によって構成される。これにより、PNPN型の縦型オーバーフロー構造で埋込型のフォトダイオードが形成されている。即ち、埋込みフォトダイオード(P、N、P)と縦型オーバーフロー構造(N、P、N)の合わせた構造が形成されている。縦型オーバーフロー構造で埋込型タイプのフォトダイオードの構成は、暗電流、残像、リセットノイズ、ブルミング、及びスミアを低減する効果を有する。

【0072】垂直転送レジスタ220は、図19、図20に示すように、N型転送チャネル領域221、スミアノイズを抑圧するための第2のP型ウェル領域222、N型転送チャネル領域221上部に絶縁膜202を介して形成された転送電極223～225から構成されている。上記転送電極223～225は、列方向に3つの電極で1段分のレジスタ(3相駆動CCD)を構成しており、それぞれに駆動パルス $\phi V1 \sim \phi V3$ が印加されている。即ち、行方向に延在する転送電極223、225と、列方向に延在する転送電極224とが配置され、1つのフォトダイオード210に対して1段分の垂直転送レジスタが設けられる。従って、本固体撮像素子は、いわゆる全画素読み出し方式のCCD型固体撮像素子である。

【0073】P型チャネルストップ223は、フォトダイオード210の周囲に形成され、フォトダイオード210と垂直転送レジスタ220間、及び、列方向に隣接するフォトダイオード210間を分離している。P型チャネルストップ223は、図19に示すように、転送ゲートTGの下部には形成されない。従って、各フォトダイオード210で生成された信号電荷は、フォトダイオード210に蓄積され、転送ゲートTGがオンすることによって転送ゲートTGの下部の領域を経由して垂直転送レジスタ220に転送される。図19～図21では、信号電荷の移動する向きを矢印にて示している。

【0074】また、遮光膜226が図19、図20に示すように垂直転送レジスタ上の転送電極223～225上部に絶縁膜202を介して形成される。転送ゲートT

18

Gの配置される位置は、奇数行目と偶数行目とで反転している。しかし、遮光膜226によって、受光部の形状が同一となり、受光特性が均一化される。なお、本実施形態において、垂直転送レジスタは、3相駆動CCDを用いた。しかし、これに限らず、4相駆動CCDでも構わない。

【0075】以上のように、実施形態8の固体撮像素子は、市松状に配置された緑(G)の色フィルタを備えたフォトダイオード210の信号電荷が、1つの水平転送レジスタ240aを転送され、1つの電荷検出部250aにて電圧信号に変換され、1つの出力端子260aから出力される。従って、後段の信号処理が容易になると同時に、固定パターンノイズが減少し、S/N比が向上する。

【0076】また、実施形態8の固体撮像素子は、奇数行目と偶数行目とで、遮光膜226の平面的な形状と配列や絶縁膜を含めた断面形状が同一であるため、固定パターンノイズが減少し、さらにS/N比が向上する。また、縦型オーバーフロー構造で埋込型のフォトダイオード210を採用しているため、暗電流、残像、リセットノイズ、及びブルミング、スミアが減少し、また、電荷検出部250a、250bの後段で、いわゆる相関二重サンプリング処理をすることによって、電荷検出部250a、250bで発生するリセットノイズ、及び、1/fノイズが減少する。従って、さらにS/N比が向上する。

【0077】次に、本発明に係る固体撮像素子から出力される信号を処理するシステムを説明する。図22は本発明に係る固体撮像素子から出力された信号を処理する信号処理装置の一例を示す構成図である。本発明に係る固体撮像素子は、上記の説明の如く市松状に配置された画素からの信号を一方の出力端子から、残りの画素からの信号を他方の信号端子より外部に出力する。そして、市松状に配置された画素に対して緑(G)の色フィルタ、その他の画素に赤(R)と青(B)の色フィルタを線順次配置(バイヤ配列)させるカラー用の固体撮像素子として好適である。

【0078】本信号処理装置は、上記のように色フィルタが各画素に配置された本発明の固体撮像素子を用いてカラー画像し、2つの端子に振り分けられて出力される信号を画素の位置に対応した時系列信号に直すものである。実施形態1から実施形態8に示す本発明の固体撮像素子においては、2つの出力端子から得られる画素の信号(G信号およびR/B信号)は、同一の駆動クロックで出力される。従って駆動周波数は画素数で決まる走査クロック(PICK)の周波数の1/2の周波数になっている。そのため、第1のチャネルの走査先頭画素を基準に水平方向の出力タイミングを見ると、第1のチャネルでは画素に合ったタイミングで出力されて第2のチャネルでは1画素分早く出力されるラインと、第1の

チャンネルでは 1 画素分早く出力されて第 2 のチャンネルでは 2 画素分早く出力されるラインが交互に配置されていることになる。

【0079】本装置は、G 信号が上記第 1 のチャンネル、R、B の線順次信号が第 2 のチャンネルとして出力される。G 信号は固体撮像素子の信号出力周波数と同一の周波数で、出力信号にタイミングに合わせて AD 変換される。AD 変換周波数は P I X C L K の $1/2$ である。G 信号は第 1 のチャンネル出力であるから、水平方向にタイミングをずらさない信号と 1 画素分 D L 8 2 (実体は P I X C L K に同期した D F F) で遅らせた信号を M P X 8 4 において切換え信号 H M P X でライン毎に切換え、どちらの信号も画素位置に対応した P I X C L K に同期した D F F 8 6 でタイミングをとり、信号処理部 8 9 に送られる。なお、信号処理の都合上、各 G 画素の信号は水平方向に 2 画素分の大きさとして信号処理部に送っている。これは、緑 (G) の色フィルタが配置されていない画素に黒画素 (ノレベル信号) を挿入して出力されるようにしてもよい。

【0080】B 信号と R 信号が線順次に出力される第 2 のチャンネルは、第 1 のチャンネル (G 信号) と同様に信号処理された後、D F F 8 8 でもう 1 画素分遅らせて信号処理部 8 9 に送られる。信号処理部 8 9 はベイヤ配列用の信号処理部であり、R/B の色分離、R G B 各色の空格子点の画素補間、 γ 処理などの信号処理を施して、全画素に R G B 全ての色信号がある R G B 信号として出力される。

【0081】

【発明の効果】以上詳述したとおり、本発明による固体撮像素子は、市松状に配置された画素または光電変換部から出力される信号の固定パターンノイズを低減することができ、 S/N 比が向上するという効果がある。また、本発明の固体撮像素子に少なくとも一種類の色フィルタを市松状に配置してカラー映像信号を出力させれば、固定パターンノイズが低減されたカラー映像信号が得られ、良好な画質を得ることが可能となる。本発明の固体撮像素子は、このような配列の色フィルタを使用する際に特に好適である。

【0082】また、本発明の固体撮像素子を奇数行目の画素 (又は光電変換部) と偶数行目の画素 (又は光電変換部) で遮光領域の平面的な形状を同一とするなら、固定パターンノイズが減少し、 S/N 比が向上するという効果もある。さらに、配線や絶縁膜等を含む画素全体の断面形状も同一にすれば、固定パターンノイズがさらに減少し、 S/N 比がさらに向上する。

【0083】また、本発明の固体撮像素子の画素に出力部を配置されれば、光電変換部で生じた電荷によって変換された信号 (例えば電荷増幅された信号や電流増幅された信号) を出力することが可能となる。出力部に蓄積された信号電荷は、初期化されるまで保持される。従っ

て、このような構成で複数回読み出すことも可能となる。

【図面の簡単な説明】

【図 1】本発明の実施形態 1 による固体撮像素子の概略を示す回路図である。

【図 2】本発明の実施形態 2 による固体撮像素子の概略を示す回路図である。

【図 3】本発明の実施形態 3 による固体撮像素子の回路図である。

10 【図 4】本発明の実施形態 4 による固体撮像素子の構成を示す回路図である。

【図 5】実施形態 4 に係る固体撮像素子の複数の画素の平面図である。

【図 6】実施形態 4 に係る固体撮像素子の 1 つの画素の平面図である。

【図 7】図 6 の X 1 - X 2 線に沿った断面図である。

【図 8】図 6 の Y 1 - Y 2 線に沿った断面図である。

【図 9】図 6 の Y 3 - Y 4 線に沿った断面図である。

【図 10】本発明の実施形態 5 による固体撮像素子の構成を示す回路図である。

20 【図 11】実施形態 5 に係る固体撮像素子のマトリクス状に配置された複数の画素の平面図である。本発明の実施形態 5 による固体撮像素子の平面図である。

【図 12】本発明の実施形態 5 に係る固体撮像素子の 1 つの画素の平面図である。

【図 13】図 12 の X 1 - X 2 線に沿った断面図である。

【図 14】図 12 の Y 1 - Y 2 線に沿った断面図である。

30 【図 15】図 12 の Y 3 - Y 4 線に沿った断面図である。

【図 16】本発明の実施形態 6 に係る固体撮像素子のマトリクス状に配置された複数の画素の平面図である。

【図 17】本発明の実施形態 7 による固体撮像素子の概略を示す回路図である。

【図 18】本発明の実施形態 8 による固体撮像素子の概略を示す構成図である。

【図 19】図 18 の破線で囲まれた領域 300 の平面図である。

40 【図 20】図 19 の X 1 - X 2 線に沿った断面図である。

【図 21】図 19 の X 3 - X 4 線に沿った断面図である。

【図 22】本発明に係る固体撮像素子から出力された信号を処理する信号処理装置の一例を示す構成図である。

【図 23】従来の X-Y アドレス型固体撮像素子の主な構成を示す回路図である。

【図 24】従来の X-Y アドレス型固体撮像素子のマトリクス状に配置された複数の画素の平面図である。

50 【図 25】従来の C C D 型固体撮像素子の概略構成図

21

ある。

【図26】図25のX1-X2線に沿ったCCD型固体
撮像素子の断面図である。

【図27】色フィルタ配列の一例を示す図である。

【図28】色フィルタ配列の他の例を示す図である。

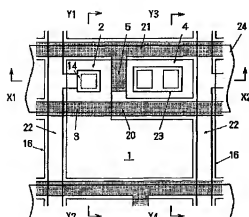
【符号の説明】

- 1 フォトダイオード
- 2 JFET
- 3 転送ゲート
- 4 リセットドレイン
- 5 リセットゲート
- 6a オーバーフロー制御領域
- 7 垂直走査回路
- 8 水平走査回路
- 9a~9c 行選択線
- 10 P型半導体基板
- 11 N型ウエル領域
- 12 P型電荷蓄積領域
- 13 高濃度のN型半導体領域
- 14 N型ソース領域
- 15 P型ゲート領域
- 16 N型ドレイン領域
- 17 N型チャネル領域
- 18 P型電荷排出領域
- 20, 20a~20c 転送ゲート配線
- 21, 21a~21c リセットゲート配線
- 22, 22a~22d 垂直信号線
- 23 中継配線
- 24, 24a~24c リセットドレイン配線
- 26a~26d 定電流源
- 27a~27d 水平信号線
- 28a~28d 出力バッファアンプ
- 29a~29d 列バッファアンプ
- 33 絶縁膜

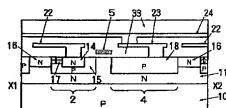
22

- 34a, 34b 差動アンプ
- 35a, 35b 出力端子
- 41 フォトダイオード
- 42 行選択トランジスタ
- 51 フォトダイオード
- 52 出力トランジスタ
- 53 リセットトランジスタ
- 54 行選択トランジスタ
- 55a~55c リセットゲート配線
- 10 56a~56c 行選択線
- 80, 81 AD変換器
- 82, 83 遅延素子
- 84, 85 マルチプレクサ
- 86, 87, 88 Dフリップフロップ
- 89 ペイア配列用信号処理部
- 100 高濃度のN型半導体基板
- 101 N型半導体層
- 200 N型半導体基板
- 201 P型ウエル領域
- 202 絶縁膜
- 210 フォトダイオード
- 211 N型電荷蓄積領域
- 212 高濃度のP型半導体領域
- 220 垂直転送レジスタ
- 221 N型転送チャネル領域
- 222 第2のP型ウエル領域
- 223, 224, 225 転送電極
- 226 遮光膜
- 230 P型チャネルストップパ
- 30 240a, 240b 水平転送レジスタ
- 250a, 250b 電荷検出部
- 260a, 260b 出力端子

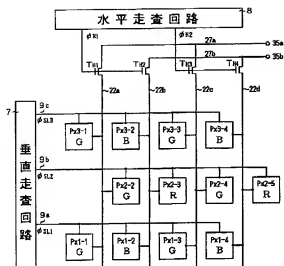
【図6】



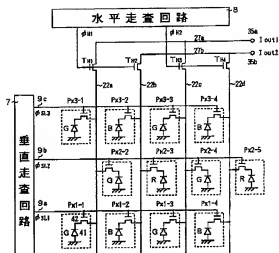
【図7】



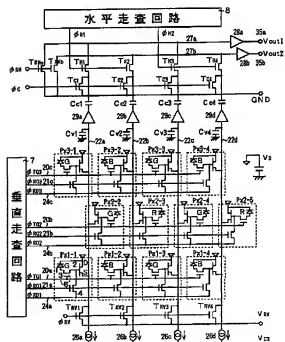
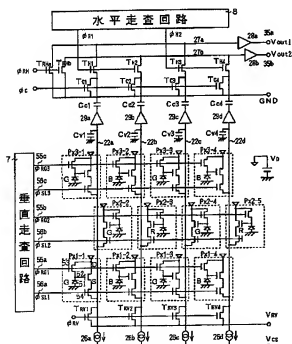
【図1】



【図2】

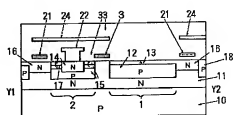
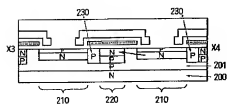


【図4】

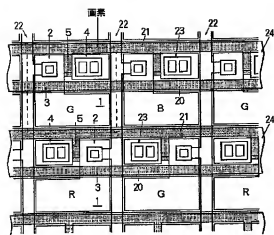


【図8】

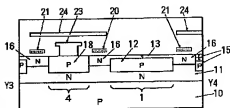
【図21】



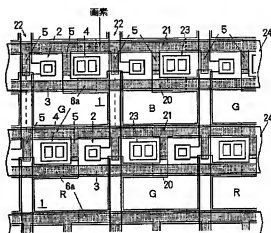
【図5】



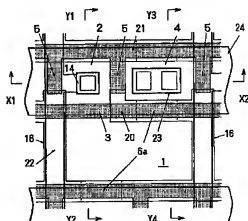
【図9】



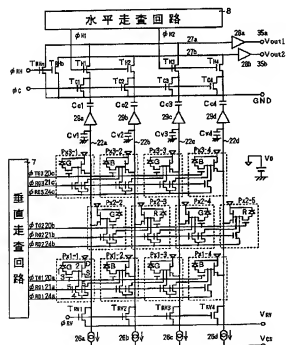
【図11】



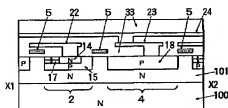
【図12】



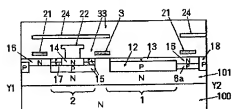
【図10】



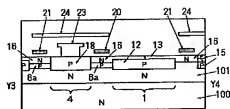
【図13】



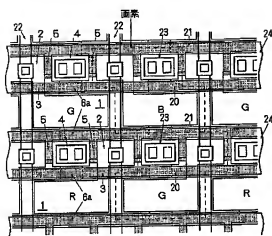
【図 14】



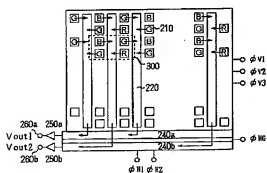
【図 15】



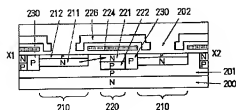
【図 16】



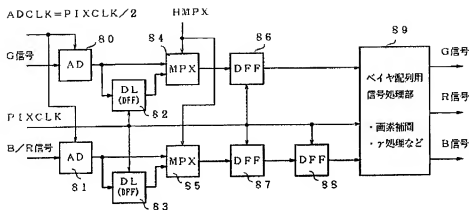
【図 18】



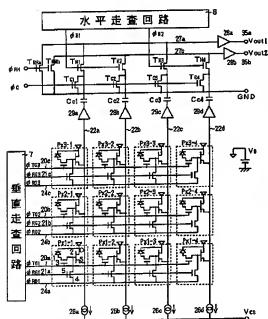
【図 20】



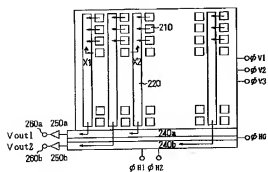
【図 22】



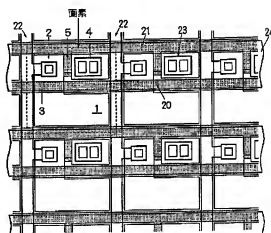
【図 23】



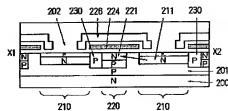
【図 25】



【図 24】



【図 26】



【図27】

G	B	G	R	G	B
G	R	G	B	G	R
G	B	G	R	G	B
G	R	G	B	G	R
G	B	G	R	G	B
G	R	G	B	G	R

【図28】

G	B	G	B	G	B
R	G	R	G	R	G
G	B	G	B	G	B
R	G	R	G	R	G
G	B	G	B	G	B
R	G	R	G	R	G

フロントページの続き

F ターム(参考) 4M118 AA01 AA02 AA05 AB01 BA10
 CA04 DA02 FA07 FA13 FA14
 FA36 FA50 GB03 GB07 GB11
 GB20 GC08
 5C024 AA01 CA06 DA01 EA08 FA01
 FA11 FA12 GA01 GA11 GA31
 GA52 JA09
 5C065 AA00 BB22 CC01 DD02 DD09
 DD15